



KOREAN PATENT ABSTRACTS

(11)Publication number: 1020020088399 A
(43)Date of publication of application: 27.11.2002

(21)Application number: 1020020027442
(22)Date of filing: 17.05.2002
(30)Priority: 17.05.2001 KR
1020010026966

(71)Applicant: SAMSUNG ELECTRONICS
CO., LTD.
(72)Inventor: KIM, JAE HAK
LEE, GYEONG U
LEE, SU GEUN
SHIN, HONG JAE

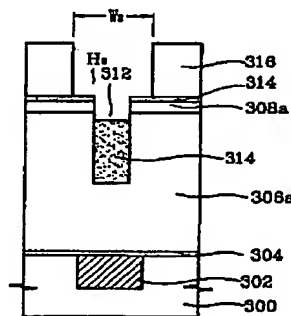
(51)Int. Cl. H01L 21/28

(54) METHOD FOR FORMING METAL INTERCONNECTION LAYER OF SEMICONDUCTOR DEVICE

(57) Abstract:

PURPOSE: A method for forming a metal interconnection layer of a semiconductor device is provided to prevent formation of a metal oxide layer on a conductive layer in a process of removing a photoresist pattern, and prevent an ashing damage and profile fail of a via hole.

CONSTITUTION: A stopper layer is formed on a semiconductor substrate. An insulation layer is formed on the stopper layer. A hard mask is formed on the insulation layer. A first photoresist pattern having a first aperture is formed to expose an upper partial portion of the hard mask. A partial via hole having a first width is formed by etching partially the hard mask and the insulation layer with the use of the first photoresist pattern as a mask. The first photoresist pattern is removed. An organic material layer is coated to fill the partial via hole. A second photoresist pattern having a second aperture is formed on the substrate comprised of the organic layer. The organic layer and hard mask layer are etched by using the second photoresist pattern as a mask and the second photoresist pattern and organic layer are removed. An interconnection region having the second width and a via hole having the first width are formed by etching the insulation layer with the use of the hard mask layer as an etch mask.



© KIPPO 2003

Legal Status

Date of final disposal of an application (20040128)

Patent registration number (1004210550000)

Date of registration (20040220)

【한국공개특허공보 제2002-0088399호(2002.11.27공개)】

국 2002-0088399

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl. ⁷ H01L 21/28	(11) 공개번호 (43) 공개일자	특2002-0088399 2002년 11월 27일
(21) 출원번호 (22) 출원일자	10-2002-0027442 2002년 05월 17일	
(30) 우선권주장 (71) 출원인	1020010026966 2001년 05월 17일 대한민국(KR) 삼성전자 주식회사	
(72) 발명자	경기 수원시 팔달구 매탄3동 416번지 이경우 서울특별시영등포구신림4동삼성아파트102동202호 신홍재 서울특별시관악구신림4동1715번지우방아파트103동1001호 김재학 서울특별시송파구문정동62-5번지현대아파트1207호 이수근 경기도수원시팔달구망포동백산아파트117동1602호 이영범, 정상빈	
(74) 대리인	신사영구 : 있음	

(54) 반도체 소자의 금속배선 형성방법

요약

본 발명은 독일 다마신 공정에 의한 반도체 소자의 금속배선 형성방법에 관하여 개시한다. 본 발명은 먼저 도전층이 형성된 반도체 기판 상에 스토퍼막, 층간절연막 및 하드 마스크층을 순차적으로 형성한 후, 상기 하드 마스크층 상에 제1 쪽을 갖는 제1 개구부를 갖은 제1 포토레지스트 패턴을 형성한다. 상기 제1 포토레지스트 패턴을 식각 마스크로 하여 상기 하드 마스크층 및 일부의 상기 층간절연막을 식각하여 제1 쪽을 갖는 비아홀을 형성하고, 상기 제1 포토레지스트 패턴을 제거한다. 비아홀이 형성된 상기 반도체 기판 상에 상기 비아홀에 대응하도록 위치하여 상기 제1 쪽보다 큰 제2 쪽을 가지는 제2 개구부를 갖은 제2 포토레지스트 패턴을 형성한다. 상기 제2 포토레지스트 패턴을 식각 마스크로 하여 상기 층간절연막 상부의 상기 유기 물질을 및 상기 하드 마스크층을 식각한다. 상기 제2 포토레지스트 패턴 및 상기 유기 물질의 층 동시에 제거한다. 상기 하드 마스크층을 식각 마스크로 하여 상기 층간절연막을 식각하여 제2 쪽을 갖는 배선 영역과 제1 쪽을 갖는 비아홀을 형성한다.

도표도

도 14

도 15

도면의 간단한 설명

- 도 1 내지 도 5는 종래의 일 예에 따른 반도체 소자의 금속배선 형성방법을 공정순서에 따라 도시한 단면도들이다.
 도 6 내지 도 9는 종래의 다른 예에 따른 반도체 소자의 금속배선 형성방법을 공정순서에 따라 도시한 단면도들이다.
 도 11 내지 도 19는 본 발명의 바람직한 제1 실시예에 따른 반도체 소자의 금속배선 형성방법을 공정 순서에 따라 도시한 단면도들이다.
 도 20 내지 도 26은 본 발명의 바람직한 제2 실시예에 따른 반도체 소자의 금속배선 형성방법을 공정순서에 따라 도시한 단면도들이다.
 도 27 내지 도 31은 본 발명의 바람직한 제3 실시예에 따른 반도체 소자의 금속배선을 형성방법을 공정순서에 따라 도시한 단면도들이다.
 도 32 내지 도 36은 본 발명의 바람직한 제4 실시예에 따른 반도체 소자의 금속배선 형성방법을 공정순서에 따라 도시한 단면도들이다.
 도 37 내지 도 43은 본 발명의 바람직한 제5 실시예에 따른 반도체 소자의 금속배선 형성방법을 공정순서

2002-0088399

에 따라 도시한 단면도들이다.

도 44 내지 도 50은 본 발명의 바람직한 제6 실시예에 따른 반도체 소자의 금속배선 형성방법을 공정순서에 따라 도시한 단면도들이다.

<도면의 주요부분에 대한 부호의 설명>

104, 204, 304, 504, 704 : 스토퍼막 404, 604, 804 : 제1 스토퍼막
406, 606, 806 : 제2 스토퍼막 106, 206, 306, 506, 706 : 층간절연막
405, 605, 805 : 제1 층간절연막, 407, 607, 807 : 제2 층간절연막
110, 210, 312, 412, 512, 612 : 파샬 비마늄
110a, 210a, 312a, 412a, 512a, 612a, 712, 812 : 비마늄
114, 214, 318, 418, 518, 618, 718, 818 : 배선영역

본 발명의 상세한 설명

본 발명의 목적

본 발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체 소자의 제조방법에 관한 것으로, 특히 듀얼 다마신(dual damascene) 공정에 의한 반도체 소자의 금속배선 형성방법에 관한 것이다.

반도체 소자의 집적도가 증가함에 따라 다층 배선 구조를 가지는 금속 배선층이 필요하게 되고, 또한 금속 배선 사이의 간격이 점차 좁아지게 되었다. 이에 따라, 동일층상에서 서로 인접한 금속 배선층 사이 또는 상하로 인접한 각 배선층 사이에 존재하는 기생 저항(R) 및 커패시턴스(C) 성분들이 가장 중요한 문제로 되었다.

금속 배선 시스템에서 기생 저항 및 커패시턴스 성분들은 RC에 의해 유도되는 지연(delay)에 의하여 소자의 전기적 성능을 열화시킨다. 또한, 배선층간에 존재하는 기생 저항 및 커패시턴스 성분들은 칩의 총 전력 소모량을 증가시키고 신호 누설량을 증가시킨다.

따라서, 초고집적 반도체 소자에 있어서 RC가 작은 다층 배선 기술을 개발하는 것이 매우 중요한 문제이다.

RC가 작은 고성능의 다층 배선 구조를 형성하기 위하여는 비저항이 낮은 금속을 사용하여 배선층을 형성하거나 유전율이 낮은 절연막을 사용할 필요가 있다.

금속 배선층에서의 저항을 낮추기 위하여, 금속 배선층을 형성하는 금속 재료로서 비저항이 낮은 금속, 예를 들면 구리를 사용하는 연구가 현재 활발하게 진행되고 있다.

구리 배선은 사전 식각 기술에 의하여 적절 패터닝하여 얻기는 어렵다. 따라서, 구리 배선을 형성하기 위하여 듀얼 다마신 공정을 주로 이용하고 있다.

도 1 내지 도 5는 종래의 일 예에 따른 반도체 소자의 금속배선 형성방법을 공정순서에 따라 도시한 단면도들이다.

도 1을 참조하면, 소정의 도전층(102)이 형성된 반도체 기판(100) 상에 스토퍼막(104)을 형성한다.

이어서, 스토퍼막(104) 상에 층간절연막(106)을 형성한다.

다음에, 층간절연막(106) 상에 제1 쪽(W1)을 가지고 층간절연막(106)의 상면을 일부 노출시키는 제1 개구부(H1)를 갖춘 제1 포토레지스트 패턴(108)을 형성한다. 즉, 층간절연막(106) 상에 포토레지스트를 도포한 후, 상기 포토레지스트를 노광 및 현상하여 제1 포토레지스트 패턴(108)을 형성한다.

도 2를 참조하면, 제1 포토레지스트 패턴(108)을 식각 마스크로 하여 층간절연막(106)을 식각한다. 상기 식각은 스토퍼막(104)이 노출될 때까지 실시한다. 상기 식각에 의하여 층간절연막(106a)에 제1 쪽(W1)을 갖는 비마늄(110)이 형성되게 된다.

다음에, 제1 포토레지스트 패턴(108)을 제거한다. 제1 포토레지스트 패턴(108)은 용상의 방법, 예컨대 애싱(ashing) 공정을 이용하여 제거할 수 있다.

도 3을 참조하면, 비마늄(110)이 형성되어 있는 층간절연막(106a) 상에 상기 제1 쪽(W1)보다 큰 제2 쪽(W2)을 가지고 층간절연막(106a)을 일부 노출시키는 제2 개구부(H2)를 갖춘 제2 포토레지스트 패턴(112)을 형성한다. 제2 개구부(H2)의 위치는 비마늄(110)의 위치에 대응되도록 형성한다.

도 4를 참조하면, 제2 포토레지스트 패턴(112)을 식각 마스크로 하여 상기 층간절연막(106a)을 건식 식각한다. 상기 식각에 의하여, 층간절연막(106b) 내에 제2 쪽(W2)을 갖는 배선영역(114)이 형성되게 되며, 배선영역(114)의 하부에는 도전층(102)과 배선영역(114)을 연결하기 위한 제1 쪽(W1)을 갖는 비마늄(110a)이 형성되게 된다. 그러나, 상기 식각 동안에 비마늄(110; 도 3 참조)을 통해 노출되어 있는 스토퍼막(104)도 함께 식각되어 도전층(102)이 외부에 노출될 수 있다. 층간절연막(106b)은 스토퍼막(104a)에 대한 식각선택비가 큰 물질을 사용한다. 상기 층간절연막(106a) 식각시 비마늄(110; 도 3 참조)을 통해 노출되어 있는 스토퍼막(104)도 소정 속도로 식각되게 마련이다. 따라서, 층간절연막(106b)의 식각이 완료된 후에는 노출되어 있는 스토퍼막(104)이 완전히 식각되어 도전층(102)이 식각 분위기에 노출되는 경우도 발생할 수 있다. 도전층(102), 예컨대 구리 배선층이 식각 분위기에

2002-0088399

노출되게 되면 층박을 따라 하드 폴리머(미도시)가 형성되게 되는데, 상기 하드 폴리머는 그 제거가 용이하지 않다는 단점이 있다. 이러한 현상은 식각해야 할 층간절연막(106a)의 길이가 길고, 스트퍼막(104a)의 두께가 얇으며, 층간절연막(106b)에 대한 스트퍼막(104a)의 식각선택비가 작을수록 더욱더 심각하다.

도 5를 참조하면, 제2 포토레지스트 패턴(112)을 애싱(ashing) 공정을 이용하여 제거한다. 상기 애싱 공정은 산소계 플라즈마를 사용한다. 따라서, 제2 포토레지스트 패턴(112) 제거 공정 동안, 즉 애싱 공정 동안에 노출되어 있는 도전층(102)이 산소와 결합하여 금속산화물층(116)이 형성되게 된다. 금속산화물층(116)이 형성되게 되면, 전기저항이 급격히 상승하게 되고 배선영역(114) 및 비아홀(110a) 내에 도전물질이 채워지더라도 금속배선(미도시)과 도전층(102)이 전기적으로 연결되지 못하는 불통 현상, 즉 리프팅(lifting) 현상이 발생할 수도 있다. 또한, 배선영역(114) 및 비아홀(110a)을 형성한 후 산소계 플라즈마를 사용하는 상기 애싱 공정을 진행하기 때문에, 층간절연막(106b)의 표면에 상기 애싱 공정에 의한 손상(ashing damage)이 발생하게 된다. 즉, 상기 애싱 공정에 의해 H₂O, OH, CO₂, H₂ 등이 유기되어 층간절연막(106b)의 표면에 고착되게 되며, 이는 층간절연막(106b)의 유전율을 급격하게 상승시키는 요인으로 작용한다.

도 6 내지 도 9는 종래의 다른 예에 따른 반도체 소자의 금속배선 형성방법을 공정순서에 따라 도시한 단면도들이다.

도 6을 참조하면, 소정의 도전층(202)이 형성된 반도체 기판(200) 상에 스트퍼막(204)을 형성한다.

이어서, 스트퍼막(204) 상에 층간절연막(206)을 형성한다.

다음에, 층간절연막(206) 상에 제1 쪽(Ⅱ)을 가지고 층간절연막(206)의 상면을 일부 노출시키는 제1 개구부(H1)를 갖춘 제1 포토레지스트 패턴(208)을 형성한다. 즉, 층간절연막(206) 상에 포토레지스트를 도포한 후, 상기 포토레지스트를 노광 및 현상하여 제1 포토레지스트 패턴(208)을 형성한다.

도 7을 참조하면, 제1 포토레지스트 패턴(208)을 식각 마스크로 하여 일부의 층간절연막(206)을 식각한다. 상기 식각은 층간절연막(206)의 일부만을 식각하고 소정 두께의 층간절연막(206)은 식각하지 않고 남겨둔다. 상기 식각에 의하여 층간절연막(206a)에 제1 쪽(Ⅱ)을 갖는 파살 비아홀(partial via hole)(210)이 형성되게 된다.

다음에, 제1 포토레지스트 패턴(208)을 제거한다. 제1 포토레지스트 패턴(108)은 통상의 방법, 예컨대 애싱(shing) 공정을 이용하여 제거할 수 있다.

도 8a를 참조하면, 파살 비아홀(210)이 형성되어 있는 층간절연막(206a) 상에 상기 제1 쪽(Ⅱ)보다 큰 제2 쪽(Ⅱ2)을 가지고 층간절연막(206a)을 일부 노출시키는 제2 개구부(H2)를 갖춘 제2 포토레지스트 패턴(212)을 형성한다. 제2 개구부(H2)의 위치는 파살 비아홀(210)의 위치에 대응되도록 형성한다. 그러나, 층간절연막(206a) 상에 제2 포토레지스트 패턴(212)을 형성할 때, 파살 비아홀(210) 바닥에 포토레지스트(212)가 잔류할 수 있다. 파살 비아홀(212) 바닥에 잔류된 포토레지스트(212)는 후속의 층간절연막(206a) 식각에 대한 배리어 역할을 하여 남아있는 나머지의 층간절연막(206a)을 식각할 때 오픈되지 않은 비아홀이 형성될 수 있다. 이에 대한 상세한 설명은 후술하기로 한다.

한편, 도 8b는 미스-어라인(mis-align)되어 있는 제2 포토레지스트 패턴의 모습을 도시한 것이다. 또한, 도시하지는 않았지만, 도 8a를 참조하여 설명한 바와 같이 이 경우에도 파살 비아홀(210) 바닥에 포토레지스트가 잔류할 수도 있다.

도 9a를 참조하면, 제2 포토레지스트 패턴(212)을 식각 마스크로 하여 층간절연막(206a)을 건식 식각한다. 상기 식각에 의하여, 층간절연막(206b) 내에 제2 쪽(Ⅱ2)을 갖는 배선영역(214)이 형성되게 되며, 배선영역(214)의 하부에는 도전층(102)과 배선영역(214)을 연결하기 위한 제1 쪽(Ⅱ1)을 갖는 비아홀(210a)이 형성되게 된다. 그러나, 상기 식각 동안에 파살 비아홀(210; 도 8a 참조) 바닥에 잔류하는 포토레지스트(212)는 상기 식각에 대한 배리어 역할을 한다. 따라서, 파살 비아홀(210; 도 8a 참조) 하부에 존재하는 층간절연막(206b)은 더 이상 식각되지 않게 되며, 결국 오픈(open)되지 않은 비아홀(210a)이 야기되게 된다.

한편, 도 9b는 미스-어라인 되어 있는 제2 포토레지스트 패턴(212)이 형성된 경우, 미스-어라인된 제2 포토레지스트 패턴(212)을 식각 마스크로 하여 층간절연막(206a)을 식각하여 배선영역(214) 및 비아홀(210a)을 형성한 모습을 도시한 것이다. 도 9b에 도시된 바와 같이, 미스-어라인이 발생한 경우, 비아홀(210a)의 폭은 제1 쪽(Ⅱ1)보다 좁아져서 비아홀(210a)의 프로파일이 불량하게 된다. 또한, 도 9a를 참조하여 설명한 바와 같이 파살 비아홀(210; 도 8b 참조) 바닥에 포토레지스트가 잔류하는 경우에는 오픈되지 않은 비아홀(미도시)이 형성될 수도 있다.

도 10a를 참조하면, 제2 포토레지스트 패턴(212)을 애싱(ashing) 공정을 이용하여 제거한다. 상기 애싱 공정 동안에 비아홀(210a; 도 9a 참조) 내에 남아있는 포토레지스트(212)도 함께 제거된다. 그러나, 앞서 설명한 바와 같이, 오픈되지 않은 비아홀(210a)이 형성되어 배선영역(214)과 도전층(202)이 연결되지 않게 된다. 또한, 배선영역(214) 및 비아홀(210a)을 형성한 후 산소계 플라즈마를 사용하는 상기 애싱 공정을 진행하기 때문에, 층간절연막(206b)의 표면에 상기 애싱 공정에 의한 손상(ashing damage)이 발생하게 된다. 즉, 상기 애싱 공정에 의해 H₂O, OH, CO₂, H₂ 등이 유기되어 층간절연막(206b)의 표면에 고착되게 되며, 이는 층간절연막(206b)의 유전율을 급격하게 상승시키는 요인으로 작용한다.

한편, 도 10b는 제2 포토레지스트 패턴(212)의 미스-어라인이 발생한 경우, 제2 포토레지스트 패턴(212)이 제거된 후의 모습을 도시한 것이다. 도 10b에 도시된 바와 같이, 제1 쪽(Ⅱ1)보다 작은 폭을 갖는 비아홀(210a)이 형성되어 비아홀(210a)의 프로파일이 불량하게 된다. 또한, 앞서 설명한 바와 같이, 파살 비아홀(210; 도 8b 참조) 바닥에 포토레지스트가 잔류하는 경우에는 오픈되지 않은 비아홀(미도시)이 형성되어 배선영역(214)과 도전층(202)이 연결되지 않을 수도 있다.

본 발명이 이루고자 하는 기술적 과제

록 2002-0088399

본 발명은 상기한 종래 기술에서의 문제점을 해결하고자 하는 것으로서, 본 발명이 이루고자 하는 기술적 과제는 중간절연막을 식각하여 배선영역 및 비아홀을 형성할 때 스토퍼막이 식각되어 도전층이 외부로 노출됨으로 인해 제2 포토레지스트 패턴 제거 공정에서 도전층의 상부에 금속산화물층이 형성되는 문제를 방지할 수 있고, 애싱 공정에 의한 손상(ashing damage)을 방지할 수 있으며, 또한 제2 포토레지스트 패턴을 형성할 때 비아홀 내에 포토레지스트가 잔류하여 비아홀이 오픈되지 않는 문제를 해결할 수 있으며, 제2 포토레지스트 패턴의 미스-어라인이 발생하더라도 비아홀의 프로파일 불량에 영향을 미치는 것을 방지할 수 있는 반도체 소자의 금속배선 형성방법을 제공함에 있다.

본 발명의 구성 및 작용

상기 기술적 과제를 달성하기 위하여 제1 실시예에 따른 본 발명은, 먼저 도전층이 형성된 반도체 기판 상에 스토퍼막을 형성한다. 상기 스토퍼막 상에 중간절연막을 형성한다. 상기 중간절연막 상에 하드 마스크층을 형성한다. 상기 하드 마스크층 상에 제1 폭을 가지고 상기 하드 마스크층의 상면을 일부 노출시키는 제1 개구부를 갖춘 제1 포토레지스트 패턴을 형성한다. 상기 제1 포토레지스트 패턴을 식각 마스크로 하여 상기 하드 마스크층 및 일부의 상기 중간절연막을 식각하여 제1 폭을 갖는 패시 비아홀을 형성한다. 상기 제1 포토레지스트 패턴을 제거한다. 패시 비아홀이 형성된 상기 반도체 기판 상에 상기 패시 비아홀을 채우기 위하여 유기 물질막을 도포한다. 유기 물질막이 형성된 상기 반도체 기판 상에 상기 패시 비아홀에 대응하도록 위치하여 제2 폭을 가지는 제2 개구부를 갖춘 제2 포토레지스트 패턴을 형성한다. 상기 제2 포토레지스트 패턴을 식각 마스크로 하여 상기 중간절연막 상부의 상기 유기 물질막 및 상기 하드 마스크층을 식각한다. 상기 제2 포토레지스트 패턴 및 상기 유기 물질막을 동시에 제거한다. 상기 하드 마스크층을 식각 마스크로 하여 상기 중간절연막을 식각하여 제2 폭을 갖는 배선 영역과 제1 폭을 갖는 비아홀을 형성한다.

상기 제1 포토레지스트 패턴을 식각 마스크로 하여 상기 중간절연막의 일부를 식각함에 있어, 식각된 중간절연막의 깊이와 식각되지 않고 남은 중간절연막의 두께는 비슷하도록 하는 것이 바람직하다.

상기 도전층은 구리 배선층이다.

상기 스토퍼막은 상기 중간절연막과 식각선택비를 갖는 실리콘 질화막 또는 실리콘 카바이드막으로 형성하는 것이 바람직하다.

상기 중간절연막은 상기 스토퍼막 및 상기 하드 마스크층에 대한 식각선택비가 크고, 자유전율을 갖는 절연막으로 형성하는 것이 바람직하다.

상기 하드 마스크층은 상기 중간절연막과의 식각선택비가 큰 실리콘 질화막, 실리콘 산화막, 실리콘 카바이드막, 폴리실리콘, 산화알루미늄과 같은 금속산화물, TiN과 같은 금속질화물, 알루미늄 또는 티타늄 등의 금속으로 형성하는 것이 바람직하다.

상기 유기 물질막은 탄소계 유기물인 BARC(Bottom Anti-Reflection Coating)막으로 형성하는 것이 바람직하다.

배선영역 및 비아홀을 형성하는 단계 이후에, 상기 스토퍼막을 제거하는 단계와, 스토퍼막이 제거된 상기 반도체 기판 상에 단차를 따라 배리어층을 형성하는 단계와, 배리어층이 형성된 상기 반도체 기판 상에 도전물질층을 증착하여 상기 배선영역 및 상기 비아홀 내에 상기 도전물질을 매립하는 단계 및 도전물질이 매립되어 있는 상기 반도체 기판을 화학기계적 연마하는 단계를 더 포함할 수 있다.

상기 배리어층은 Ta막, TaN막, Ti막, TiN막 또는 이들의 조합막으로 형성하는 것이 바람직하다.

상기 기술적 과제를 달성하기 위하여 제2 실시예에 따른 본 발명은, 먼저 도전층이 형성된 반도체 기판 상에 제1 스토퍼막을 형성한다. 상기 제1 스토퍼막 상에 제1 중간절연막을 형성한다. 상기 제1 중간절연막 상에 제2 스토퍼막을 형성한다. 상기 제2 스토퍼막 상에 제2 중간절연막을 형성한다. 상기 제2 중간절연막 상에 하드 마스크층을 형성한다. 상기 하드 마스크층 상에 제1 폭을 가지고 상기 하드 마스크층의 상면을 일부 노출시키는 제1 개구부를 갖춘 제1 포토레지스트 패턴을 형성한다. 상기 제1 포토레지스트 패턴을 식각 마스크로 하여 상기 하드 마스크층, 제2 중간절연막 및 제2 스토퍼막을 식각하여 제1 폭을 갖는 패시 비아홀을 형성한다. 상기 제1 포토레지스트 패턴을 제거한다. 패시 비아홀이 형성된 상기 반도체 기판 상에 상기 패시 비아홀을 채우기 위하여 유기 물질막을 도포한다. 유기 물질막이 형성된 상기 반도체 기판 상에 상기 패시 비아홀에 대응하도록 위치하여 제2 폭을 가지는 제2 개구부를 갖춘 제2 포토레지스트 패턴을 형성한다. 상기 제2 포토레지스트 패턴을 식각 마스크로 하여 상기 제2 중간절연막 상부의 상기 유기 물질막 및 상기 하드 마스크층을 식각한다. 상기 제2 포토레지스트 패턴 및 상기 유기 물질막을 동시에 제거한다. 상기 하드 마스크층을 식각 마스크로 하여 상기 제2 중간절연막 및 상기 제1 중간절연막을 식각하여 상기 제2 중간절연막에 제2 폭을 갖는 배선 영역과 상기 제1 중간절연막에 제1 폭을 갖는 비아홀을 형성한다.

상기 도전층은 구리 배선층이다.

상기 제1 스토퍼막은 상기 제1 중간절연막과 식각선택비를 갖는 실리콘 질화막 또는 실리콘 카바이드막으로 형성하는 것이 바람직하다.

상기 제2 스토퍼막은 상기 제2 중간절연막과 식각선택비를 갖는 실리콘 질화막 또는 실리콘 카바이드막으로 형성하는 것이 바람직하다.

상기 제1 중간절연막은 상기 제1 스토퍼막 및 상기 하드 마스크층에 대한 식각선택비가 크고, 자유전율을 갖는 절연막으로 형성하는 것이 바람직하다.

상기 제2 중간절연막은 상기 제2 스토퍼막 및 상기 하드 마스크층에 대한 식각선택비가 크고, 자유전율을 갖는 절연막으로 형성하는 것이 바람직하다.

특2002-0088399

상기 제2 층간절연막 및 제1 층간절연막은 동일 물질막으로 형성할 수 있다.

상기 하드 마스크층은 상기 제2 층간절연막 및 상기 제1 층간절연막과의 식각선택비가 큰 실리콘 질화막, 실리콘 산화막, 실리콘 카바이드막, 폴리실리콘, 산화알루미늄과 같은 금속산화물, TiN과 같은 금속질화물, 알루미늄 또는 티타늄 등의 금속으로 형성하는 것이 바람직하다.

상기 유기 물질막은 탄소계 유기물질인 BARC(Bottom Anti-Reflection Coating)막으로 형성하는 것이 바람직하다.

배선영역 및 비아홀을 형성하는 단계 이후에, 상기 제1 스토퍼막을 제거하는 단계와, 제1 스토퍼막이 제거된 상기 반도체 기판 상에 단차를 따라 배리어층을 형성하는 단계와, 배리어층이 형성된 상기 반도체 기판 상에 도전물질층 증착하여 상기 배선영역 및 상기 비아홀 내에 상기 도전물질층을 매립하는 단계 및 도전물질이 매립되어 있는 상기 반도체 기판을 화학기계적 연마하는 단계를 더 포함할 수 있다.

상기 배리어층은 Ta막, TaN막, Ti막, TiN막 또는 이들의 조합막으로 형성하는 것이 바람직하다.

상기 기술적 과제를 달성하기 위하여 제3 실시예에 따른 본 발명은, 먼저 도전층이 형성된 반도체 기판 상에 스토퍼막을 형성한다. 상기 스토퍼막 상에 층간절연막을 형성한다. 상기 층간절연막 상에 하드 마스크층을 형성한다. 상기 하드 마스크층 상에 제1 쪽을 가지고 상기 하드 마스크층의 상면을 일부 노출시키는 제1 개구부를 갖는 제1 포토레지스트 패턴을 형성한다. 상기 제1 포토레지스트 패턴을 식각 마스크로 하여 상기 하드 마스크층 및 일부의 상기 층간절연막을 식각하여 제1 쪽을 갖는 패삭 비아홀을 형성한다. 상기 제1 포토레지스트 패턴을 제거한다. 패삭 비아홀이 형성된 상기 반도체 기판 상에 상기 패삭 비아홀을 채우기 위하여 SOG막을 도포한다. SOG막이 도포된 상기 반도체 기판 상에 상기 패삭 비아홀에 대응하도록 위치하여 제2 쪽을 가지는 제2 개구부를 갖는 제2 포토레지스트 패턴을 형성한다. 상기 제2 포토레지스트 패턴을 식각 마스크로 하여 상기 층간절연막 상부의 상기 SOG막 및 상기 하드 마스크층을 식각한다. 상기 제2 포토레지스트 패턴을 제거한다. 상기 하드 마스크층 상부 및 상기 패삭 비아홀 내에 형성된 상기 SOG막을 습식 식각하여 제거한다. 상기 하드 마스크층을 식각 마스크로 하여 상기 층간절연막을 식각하여 제2 쪽을 갖는 배선 영역과 제1 쪽을 갖는 비아홀을 형성한다.

상기 제1 포토레지스트 패턴을 식각 마스크로 하여 상기 층간절연막의 일부를 식각함에 있어, 식각된 층간절연막의 깊이와 식각되지 않고 남은 층간절연막의 두께는 비슷하도록 하는 것이 바람직하다.

상기 도전층은 구리 배선층이다.

상기 스토퍼막은 상기 층간절연막과 식각선택비를 갖는 실리콘 질화막 또는 실리콘 카바이드막으로 형성하는 것이 바람직하다.

상기 층간절연막은 상기 스토퍼막 및 상기 하드 마스크층에 대한 식각선택비가 크고, 저유전율을 갖는 물질막으로 형성하는 것이 바람직하다.

상기 하드 마스크층은 상기 층간절연막과의 식각선택비가 큰 실리콘 질화막, 실리콘 산화막, 실리콘 카바이드막, 폴리실리콘, 산화알루미늄과 같은 금속산화물, TiN과 같은 금속질화물, 알루미늄 또는 티타늄 등의 금속으로 형성하는 것이 바람직하다.

상기 SOG막은 상기 층간절연막과 식각선택비를 갖는 무기물인 HSQ막 또는 SiO₂막인 것이 바람직하다.

배선영역 및 비아홀을 형성하는 단계 이후에, 상기 스토퍼막을 제거하는 단계와, 스토퍼막이 제거된 상기 반도체 기판 상에 단차를 따라 배리어층을 형성하는 단계와, 배리어층이 형성된 상기 반도체 기판 상에 도전물질층 증착하여 상기 배선영역 및 상기 비아홀 내에 상기 도전물질층을 매립하는 단계 및 도전물질이 매립되어 있는 상기 반도체 기판을 화학기계적 연마하는 단계를 더 포함할 수 있다.

상기 배리어층은 Ta막, TaN막, Ti막, TiN막 또는 이들의 조합막으로 형성하는 것이 바람직하다.

상기 기술적 과제를 달성하기 위하여 제4 실시예에 따른 본 발명은, 먼저 도전층이 형성된 반도체 기판 상에 제1 스토퍼막을 형성한다. 상기 제1 스토퍼막 상에 제1 층간절연막을 형성한다. 상기 제1 층간절연막 상에 제2 스토퍼막을 형성한다. 상기 제2 스토퍼막 상에 제2 층간절연막을 형성한다. 상기 제2 층간절연막 상에 하드 마스크층을 형성한다. 상기 하드 마스크층 상에 제1 쪽을 가지고 상기 하드 마스크층의 상면을 일부 노출시키는 제1 개구부를 갖는 제1 포토레지스트 패턴을 형성한다. 상기 제1 포토레지스트 패턴을 식각 마스크로 하여 상기 하드 마스크층, 제2 층간절연막 및 제2 스토퍼막을 식각하여 제1 쪽을 갖는 패삭 비아홀을 형성한다. 상기 제1 포토레지스트 패턴을 제거한다. 패삭 비아홀이 형성된 상기 반도체 기판 상에 상기 패삭 비아홀을 채우기 위하여 SOG막을 도포한다. SOG막이 형성된 상기 반도체 기판 상에 상기 패삭 비아홀에 대응하도록 위치하여 제2 쪽을 가지는 제2 개구부를 갖는 제2 포토레지스트 패턴을 형성한다. 상기 제2 포토레지스트 패턴을 식각 마스크로 하여 상기 제2 층간절연막 상부의 상기 SOG막 및 상기 하드 마스크층을 식각한다. 상기 제2 포토레지스트 패턴을 제거한다. 상기 하드 마스크층 상부 및 상기 패삭 비아홀 내에 형성된 상기 SOG막을 습식 식각하여 제거한다. 상기 하드 마스크층을 식각 마스크로 하여 상기 제2 층간절연막 및 상기 제1 층간절연막을 식각하여 상기 제2 층간절연막에 제2 쪽을 갖는 배선 영역과 상기 제1 층간절연막에 제1 쪽을 갖는 비아홀을 형성한다.

상기 도전층은 구리 배선층이다.

상기 제1 스토퍼막은 상기 제1 층간절연막과 식각선택비를 갖는 실리콘 질화막 또는 실리콘 카바이드막으로 형성하는 것이 바람직하다.

상기 제2 스토퍼막은 상기 제2 층간절연막과 식각선택비를 갖는 실리콘 질화막 또는 실리콘 카바이드막으로 형성하는 것이 바람직하다.

상기 제1 층간절연막은 상기 제1 스토퍼막 및 상기 하드 마스크층에 대한 식각선택비가 크고, 저유전율을 갖는 물질막으로 형성하는 것이 바람직하다.

록 2002-0086399

상기 제2 중간절연막은 상기 제2 스토퍼막 및 상기 하드 마스크층에 대한 식각선택비가 크고, 자유전자를 갖는 절연막으로 형성하는 것이 바람직하다.

상기 제2 중간절연막 및 제1 중간절연막은 동일 물질막으로 형성하는 것이 바람직하다.

상기 하드 마스크층은 상기 제2 중간절연막 및 상기 제1 중간절연막과의 식각선택비가 큰 실리콘 질화막, 실리콘 산화막, 실리콘 카바이드막, 폴리실리콘, 산화알루미늄과 같은 금속산화물, TiN과 같은 금속질화물, 알루미늄 또는 티타늄 등의 금속으로 형성하는 것이 바람직하다.

상기 SOG막은 상기 중간절연막과 식각선택비를 갖는 무기물인 HSQ막 또는 SiQ막의 것이 바람직하다.

배선영역 및 비아홀을 형성하는 단계 이후에, 상기 제1 스토퍼막을 제거하는 단계와, 제1 스토퍼막이 제거된 상기 반도체 기판 상에 단차를 따라 배리어층을 형성하는 단계와, 배리어층이 형성된 반도체 기판 상에 도전물질층을 증착하여 상기 배선영역 및 상기 비아홀 내에 상기 도전물질층을 매립하는 단계 및 도전물질이 매립되어 있는 상기 반도체 기판을 화학기계적 연마하는 단계를 더 포함할 수 있다.

상기 배리어층은 Ta막, TaN막, Ti막, TiN막 또는 이들의 조합막으로 형성하는 것이 바람직하다.

상기 본 발명의 기술적 과제를 달성하기 위한 본 발명의 제5 및 제6 실시예에 따른 반도체 소자의 금속 배선 형성방법은, 반도체 기판상에 형성된 도전층 상에 스토퍼막을 형성하는 단계; 상기 스토퍼막 상에 중간절연막을 형성하는 단계; 상기 중간절연막 상에 하드 마스크층을 형성하는 단계; 상기 하드 마스크층 상에 상기 도전층에 대응하여 비아홀을 한정하는 제1 포토레지스트 패턴을 형성하는 단계; 상기 제1 포토레지스트 패턴을 식각 마스크로 하여 상기 하드 마스크층 및 상기 중간절연막을 식각하여 상기 도전층 상에 형성된 스토퍼막의 표면을 노출시키는 비아홀을 형성하는 단계; 상기 제1 포토레지스트 패턴을 제거하는 단계; 상기 비아홀을 매개물질층으로 매립하는 단계; 상기 하드 마스크층의 일부를 식각하여 상기 비아홀의 적어도 일부와 중첩되는 배선영역을 한정하는 하드 마스크 패턴을 형성하는 단계; 상기 비아홀로부터 상기 매개물질층을 제거하는 단계; 상기 하드 마스크 패턴을 식각 마스크로 하여 상기 중간절연막의 일부를 식각하여 배선 영역을 형성하는 단계; 상기 비아홀 내에 잔류하는 상기 스토퍼층을 제거하는 단계; 및 상기 비아홀 및 배선영역에 도전물질층을 매립하는 단계를 포함한다.

상기 중간절연막은, 상기 스토퍼막 상에 제1 중간절연막, 제2 스토퍼막 및 제2 중간절연막이 적층된 것일 수 있으며, 이때 상기 배선 영역을 형성하는 단계는, 상기 제2 스토퍼막을 식각 스토퍼층으로 하여 상기 제2 중간절연막을 식각하여 형성할 수 있다.

상기 하드 마스크층은 상기 중간절연막과의 식각선택비가 큰 실리콘 산화막, 실리콘 질화막, 실리콘 카바이드막, 폴리실리콘, 금속산화물, 금속질화물 또는 금속중에서 적어도 하나로 형성하는 것이 바람직하며, 상기 매개물질층은 상기 중간절연막과 식각선택비를 갖는 탄소계 유기물인 BARC(Bottom Anti-Reflection Coating)막 또는 SOG막으로 형성할 수 있으며, 상기 SOG막은 상기 중간절연막과 식각선택비를 갖는 무기물인 HSQ막, HSQ막 또는 다공성 SiQ막일 수 있다.

이하, 첨부된 도면을 참조하여 본 발명에 따른 바람직한 실시예를 상세하게 설명하기로 한다. 그러나, 이하의 실시예는 이 기술분야에서 통상적인 지식을 가진 자에게 본 발명이 충분히 이해되도록 제공되는 것으로서, 여러 가지 다른 형태로 변형될 수 있으며, 본 발명의 범위가 다음에 기술되는 실시예에 한정되는 것은 아니다. 이하의 설명에서 어떤 층이 다른 층의 위에 존재한다고 기술될 때, 이는 다른 층의 바로 위에 존재할 수도 있고, 그 사이에 제3의 층이 개재될 수도 있다. 또한 도면에서 각 층의 두께나 크기는 설명의 편의 및 명확성을 위하여 과장되었다. 도면상에서 동일 부호는 동일한 요소를 지칭한다.

< 제 1 실시예 >

도 11 내지 도 19는 본 발명의 바람직한 제1 실시예에 따른 반도체 소자의 금속배선 형성방법을 공정 순서에 따라 도시한 단면도들이다.

도 11을 참조하면, 소정의 도전층(302)이 형성된 반도체 기판(300) 상에 스토퍼막(304)을 형성한다. 도전층(302)은 반도체 기판(300)에 형성된 불순물 도핑 영역이거나 구리(Cu) 배선층 또는 기타 다른 금속 배선층일 수 있다. 스토퍼막(304)은 그 상부에 형성되는 중간절연막(306)과의 식각선택비가 큰 물질, 예컨대 실리콘 질화막(Si₃N₄) 또는 실리콘 카바이드막(SiC)으로 형성하는 것이 바람직하다.

이어서, 스토퍼막(304) 상에 중간절연막(306)을 형성한다. 중간절연막(306)은 예를 들면, SiO₂막, 다공성 SiQ막, PSG(phosphorous silicate glass)막, BPSG(boron phosphorous silicate glass)막, USG(undoped silicate glass)막, FSG(fluorine doped silicate glass)막, HDP(high density plasma)막, PE-TEOS(plasma enhanced-tetra ethyl ortho silicate)막 또는 SOG(spin on glass)막과 같은 자유전자를 갖는 절연막으로 형성하는 것이 바람직하다. 중간절연막(306)은 스토퍼막(304)과의 식각선택비가 큰 물질막으로 형성한다.

다음에, 중간절연막(306) 상에 하드 마스크층(308)을 형성한다. 하드 마스크층(308)은 중간절연막(306)과의 식각선택비가 큰 물질, 예컨대 실리콘 질화막, 실리콘 산화막, 실리콘 카바이드막, 폴리실리콘, 산화알루미늄과 같은 금속산화물, TiN과 같은 금속질화물, 알루미늄 또는 티타늄 등의 금속으로 형성하는 것이 바람직하다.

이어서, 하드 마스크층(308) 상에 제1 쪽(W1)을 가지고 하드 마스크층(308)의 상면을 일부 노출시키는 제1 개구부(H1)를 갖는 제1 포토레지스트 패턴(310)을 형성한다. 즉, 하드 마스크층(308) 상에 포토레지스트를 도포한 후, 상기 포토레지스트를 노광 및 현상하여 제1 포토레지스트 패턴(310)을 형성한다.

도 12를 참조하면, 제1 포토레지스트 패턴(310)을 식각 마스크로 하드 마스크층(308) 및 일부의 중간절연막(306)을 식각한다. 이때, 소정 두께의 중간절연막(306a)은 식각되지 않고 남겨둔다. 바람직하게는, 식각된 중간절연막(306a)의 길이, 즉 파셜 비아홀(partial via hole)(312)의 길이와 식각되지 않고 남은 중간절연막(306a)의 두께는 거의 같도록 형성한다. 상기 식각에 의하여 중간절연막(306a)에 제1 쪽(W1)을

2002-0086399

같은 파살 비아홀(312)이 형성되게 된다.

다음에, 제1 포토레지스트 패턴(310)을 제거한다. 제1 포토레지스트 패턴(310)은 통상의 방법, 예컨대 애싱(shing) 공정을 이용하여 제거할 수 있다.

도 13을 참조하면, 파살 비아홀(312)이 형성되어 있는 반도체 기판(300) 상에 유기 절연막(314)을 도포하여 파살 비아홀(312) 내에 유기 절연막(314)을 매립한다. 유기 절연막(314)은 파살 비아홀(312) 내에만 형성될 수도 있고, 하드 마스크층(308a) 상에도 얇게 형성될 수도 있다. 유기 절연막(314)은 탄소계 유기 물질인 BARC(Bottom Anti-Reflection Coating)막으로 형성하는 것이 바람직하다. 유기 절연막(314)은 스피닝 코팅 방법에 의하여 형성할 수 있다. 이때, 스피닝 코팅의 회전수는 1000~5000 rpm 정도인 것이 바람직하다. 스피닝 코팅 방법으로 유기 절연막(314)을 도포한 후에는 100°C~150°C 정도의 온도에서 베이킹을 실시한다.

도 14를 참조하면, 유기 절연막(314)이 형성되어 있는 반도체 기판(300) 상에 상기 제1 쪽(W1)보다 큰 제2 쪽(W2)을 가지고 유기 절연막(314)을 일부 노출시키는 제2 개구부(H2)를 갖춘 제2 포토레지스트 패턴(316)을 형성한다. 제2 개구부(H2)의 위치는 파살 비아홀(312)의 위치에 대응되도록 형성하여, 파살 비아홀(312)의 상부에 제2 개구부(H2)가 위치하도록 한다.

도 15를 참조하면, 제2 포토레지스트 패턴(316)을 식각 마스크로 하여 중간절연막(306a) 상부의 유기 절연막(314) 및 하드 마스크층(308a)을 건식 식각한다. 상기 식각은 O_2 를 포함하는 가스 또는 N_2 및 H_2 를 포함하는 가스로 식각 가스로 사용한다. 혹은, C.F.계 가스 또는 CH_3F 계 가스와, 아르곤(Ar)과 같은 불활성 가스, 및 CO 또는 O_2 가스를 포함하는 식각 가스를 사용할 수도 있다. 이때, 파살 비아홀(312) 내의 유기 절연막(314)도 상기 식각시 어느 정도는 리세스(recess)되게 된다.

도 16을 참조하면, 제2 포토레지스트 패턴(316)을 제거한다. 제2 포토레지스트 패턴(316)은 통상의 방법, 예컨대 애싱 공정을 이용하여 제거할 수 있다. 이때, 유기물인 유기 절연막(314)도 함께 제거되게 된다. 즉, 하드 마스크층(308a) 상부 및 파살 비아홀(312) 내에 존재하는 유기 절연막(314)도 제2 포토레지스트 패턴(316) 제거 공정, 예컨대 애싱 공정에서 함께 제거되게 된다. 제2 포토레지스트 패턴(316) 및 유기 절연막(314)이 제거되면, 제2 쪽(W2)을 갖는 개구부를 갖춘 하드 마스크층(308b)이 노출되게 된다.

도 17을 참조하면, 하드 마스크층(308b)을 식각 마스크로 하여 중간절연막(306a)을 건식 식각하여 배선영역(318) 및 비아홀(312a)을 동시에 형성한다. 즉, 중간절연막(306b) 내에 제2 쪽(W2)을 갖는 배선영역(318)을 형성하고, 배선영역(318)의 하부에는 상기 제2 쪽(W2)보다는 작은 제1 쪽을 갖는 비아홀(312a)을 형성한다. 한편, 하드 마스크층(308b)을 식각 마스크로서 사용하므로 하드 마스크층(308b)은 중간절연막(306a)의 식각 동안에 건필 만큼 충분한 두께를 가져야 한다.

이어서, 비아홀(312a)을 통해 노출된 스토퍼막(304)을 식각하여 제거한다. 이때, 하드 마스크층(308b)도 함께 식각하여 제거할 수도 있으며, 혹은 하드 마스크층(308b)을 제거하지 않고 그대로 남겨두고 후속 공정을 진행할 수도 있다. 여기서 하드 마스크층(308b)을 그대로 남겨두고 후속 공정을 진행하는 경우를 예로 들어 설명하기로 한다.

도 18을 참조하면, 스토퍼막(304)이 제거된 반도체 기판(300) 상에 단차를 따라 배리어층(320)을 형성한다. 배리어층(320)은 Ta막, TaN막, Ti막, TiN막 또는 이들의 조합막으로 형성하는 것이 바람직하다.

도 19를 참조하면, 배선영역(318) 및 비아홀(312a)을 채우기 위하여 도전 물질층을 증착한다. 이어서, 도전 물질층이 증착된 반도체 기판(300)을 화학기계적 연마 방법에 의하여 평탄화한다. 이때, 하드 마스크층(308b) 상에 있는 배리어층(320)도 화학기계적 연마하여 제거한다. 상기 평탄화에 의하여 배선영역(318) 내에 금속배선(322)이 형성되고, 비아홀(312a) 내에는 반도체 기판(300)에 있는 도전층(302)과 상기 금속배선(322)을 연결하는 비아 콘택(324)이 형성된다. 한편, 하드 마스크층(308b)은 상기 화학기계적 연마 공정을 중간절연막(306b)이 노출될 때까지 실시함에 의해 제거할 수도 있으며, 혹은 제거하지 않고 그대로 남겨둘 수도 있음은 물론이다.

< 제 2 실시예 >

도 20 내지 도 26은 본 발명의 바람직한 제2 실시예에 따른 반도체 소자의 금속배선 형성방법을 공정순서에 따라 도시한 단면도들이다.

도 20을 참조하면, 소정의 도전층(402)이 형성된 반도체 기판(400) 상에 제1 스토퍼막(404)을 형성한다. 도전층(402)은 반도체 기판(400)에 형성된 불순물 도핑 영역이거나 구리(Cu) 배선층 또는 기타 다른 금속 배선층일 수 있다. 제1 스토퍼막(404)은 그 상부에 형성되는 제1 중간절연막(405)과의 식각선택비가 큰 물질, 예컨대 실리콘 질화막(Si_3N_4) 또는 실리콘 카바이드막(SiC)으로 형성하는 것이 바람직하다.

이어서, 제1 스토퍼막(404) 상에 제1 중간절연막(405)을 형성한다. 제1 중간절연막(405)은 예를 들면, SiOC막, 다공성 SiO₂막, PSG(phosphorous silicate glass)막, BPSG(boron phosphorous silicate glass)막, USG(undoped silicate glass)막, FSG(fluorine doped silicate glass)막, HDP(high density plasma)막, PE-TEOS(plasma enhanced-tetra ethyl ortho silicate)막 또는 SOG(spin on glass)막과 같은 저유전율을 갖는 절연막으로 형성하는 것이 바람직하다. 제1 중간절연막(405)은 제1 스토퍼막(404)과의 식각선택비가 큰 절연막으로 형성한다.

이어서, 제1 중간절연막(405) 상에 제2 스토퍼막(406)을 형성한다. 제2 스토퍼막(406)은 그 상부에 형성되는 제2 중간절연막(407)과의 식각선택비가 큰 물질, 예컨대 실리콘 질화막(Si_3N_4) 또는 실리콘 카바이드막(SiC)으로 형성하는 것이 바람직하다.

다음에, 제2 스토퍼막(406) 상에 제2 중간절연막(407)을 형성한다. 제2 중간절연막(407)은 예를 들면, SiOC막, 다공성 SiO₂막, PSG(phosphorous silicate glass)막, BPSG(boron phosphorous silicate glass)막, USG(undoped silicate glass)막, FSG(fluorine doped silicate glass)막, HDP(high density plasma)

록 2002-0086399

막, PE-TEDS(plasma enhanced-tetra ethyl ortho silicate)막 또는 SOG(spin on glass)막과 같은 저유전율을 갖는 절연막으로 형성하는 것이 바람직하다. 제2 층간절연막(407)은 제2 스토퍼막(406)과의 식각선택비가 큰 절연막으로 형성한다. 제2 층간절연막(407)은 제1 층간절연막(405)과 다른 절연막으로 형성할 수도 있으나, 제1 층간절연막(405)과 동일한 절연막으로 형성하는 것이 바람직하다.

다음에, 제2 층간절연막(407) 상에 하드 마스크층(408)을 형성한다. 하드 마스크층(408)은 제2 층간절연막(407)과의 식각선택비가 큰 절연, 예컨대 실리콘 질화막, 실리콘 산화막, 실리콘 카바이드막, 폴리실리콘, 산화 알루미늄과 같은 금속산화물, TiN과 같은 금속질화물, 알루미늄 또는 티타늄 등의 금속으로 형성하는 것이 바람직하다.

이어서, 하드 마스크층(408) 상에 제1 쪽(W1)을 가지고 하드 마스크층(408)의 상면을 일부 노출시키는 제1 개구부(H1)를 갖춘 제1 포토레지스트 패턴(410)을 형성한다. 즉, 하드 마스크층(408) 상에 포토레지스트를 도포한 후, 상기 포토레지스트를 노광 및 현상하여 제1 포토레지스트 패턴(410)을 형성한다.

도 21을 참조하면, 제1 포토레지스트 패턴(410)을 식각 마스크로 하드 마스크층(408), 제2 층간절연막(407) 및 제2 스토퍼막(406)을 식각한다. 상기 식각에 의하여 제2 층간절연막(407a)에 제1 쪽(W1)을 갖는 파삭 비아홀(412)이 형성되게 된다.

다음에, 제1 포토레지스트 패턴(410)을 제거한다. 제1 포토레지스트 패턴(410)은 통상의 방법, 예컨대 애싱(shine) 공정을 이용하여 제거할 수 있다.

도 22를 참조하면, 파삭 비아홀(412)이 형성되어 있는 반도체 기판(400) 상에 유기 절연막(414)을 도포하여 파삭 비아홀(412) 내에 유기 절연막(414)을 매립한다. 유기 절연막(414)은 파삭 비아홀(412) 내에만 형성될 수도 있고, 하드 마스크층(408a) 상에도 함께 형성될 수도 있다. 유기 절연막(414)은 탄소계 유기물의 BARC(Bottom Anti-Reflection Coating)막으로 형성하는 것이 바람직하다. 유기 절연막(414)은 스피닝 코팅 방법에 의하여 형성할 수 있다. 이때, 스피닝 코팅의 회전수는 1000~5000 rpm 정도인 것이 바람직하다. 스피닝 코팅 방법으로 유기 절연막(414)을 도포한 후에는 100℃~150℃ 정도의 온도에서 베이킹을 실시한다.

도 23를 참조하면, 유기 절연막(414)이 형성되어 있는 반도체 기판(400) 상에 상기 제1 쪽(W1)보다 큰 제2 쪽(W2)을 가지고 유기 절연막(414)을 일부 노출시키는 제2 개구부(H2)를 갖춘 제2 포토레지스트 패턴(416)을 형성한다. 제2 개구부(H2)의 위치는 파삭 비아홀(412)의 위치에 대응되도록 형성하여, 파삭 비아홀(412)의 상부에 제2 개구부(H2)가 위치하도록 한다.

도 24를 참조하면, 제2 포토레지스트 패턴(416)을 식각 마스크로 하여 제2 층간절연막(407a) 상부의 유기 절연막(414) 및 하드 마스크층(408a)을 건식 식각한다. 상기 식각은 O₂를 포함하는 가스 또는 N₂ 및 H₂를 포함하는 가스를 식각 가스로 사용한다. 혹은, CF₄계 가스 또는 C₂F₆계 가스와, 아르곤(Ar)과 같은 불활성 가스, 및 O₂ 또는 O₂ 가스를 포함하는 식각 가스를 사용할 수도 있다. 이때, 파삭 비아홀(412) 내의 유기 절연막(414)도 상기 식각시 어느 정도는 리세스(recess)되게 된다.

도 25를 참조하면, 제2 포토레지스트 패턴(416)을 제거한다. 제2 포토레지스트 패턴(416)은 통상의 방법, 예컨대 애싱 공정을 이용하여 제거할 수 있다. 이때, 유기 절연막(414)도 함께 제거되게 된다. 즉, 하드 마스크층(408a) 상부 및 파삭 비아홀(412) 내에 존재하는 유기 절연막(414)도 제2 포토레지스트 패턴(416) 제거 공정, 예컨대 애싱 공정에서 함께 제거되게 된다. 제2 포토레지스트 패턴(416) 및 유기 절연막(414)이 제거되면, 제2 쪽(W2)을 갖는 개구부를 갖춘 하드 마스크층(408b)이 노출되게 된다.

도 26을 참조하면, 하드 마스크층(408b)을 식각 마스크로 하여 제2 층간절연막(407a) 및 제1 층간절연막(405)을 건식 식각하여 배선영역(418) 및 비아홀(412a)을 동시에 형성한다. 즉, 제2 층간절연막(407b)에는 제2 쪽(W2)을 갖는 배선영역(418)을 형성하고, 제1 층간절연막(405a)에는 상기 제2 쪽(W2)보다는 작은 제1 쪽을 갖는 비아홀(412a)을 형성한다.

이어서, 비아홀(412a)을 통해 노출된 제1 스토퍼막(404)을 식각하여 제거한다. 이때, 하드 마스크층(408b)도 함께 식각하여 제거할 수도 있으며, 혹은 하드 마스크층(408b)을 제거하지 않고 그대로 남겨두고 후속 공정을 진행할 수도 있다.

이후의 공정은 상기 제1 실시예에서와 동일하다.

< 제 3 실시예 >

도 27 내지 도 31은 본 발명의 바람직한 제3 실시예에 따른 반도체 소자의 금속배선을 형성방법을 공정순서에 따라 도시한 단면도들이다.

도 27을 참조하면, 소정의 도전층(502)이 형성된 반도체 기판(500) 상에 스토퍼막(504), 층간절연막(506) 및 하드 마스크층(508)을 순차적으로 형성하고, 하드 마스크층(508) 상에 제1 쪽(W1)으로 하드 마스크층(508)의 상면을 일부 노출시키는 개구부를 갖춘 제1 포토레지스트 패턴(미도시)을 형성하고, 상기 제1 포토레지스트 패턴을 식각 마스크로 하드 마스크층(508) 및 일부의 층간절연막(506)을 식각하여 파삭 비아홀(512)을 형성한 후, 상기 제1 포토레지스트 패턴을 제거하는 단계는 상기 제1 실시예와 동일하다. 여기서, 층간절연막(506)은 저유전율을 갖는 SiOC막으로 형성하는 것이 바람직하다.

이어서, 파삭 비아홀(512)이 형성되어 있는 반도체 기판(500) 상에 SOG(spin on glass)막(514)을 스피닝 코팅 방법으로 형성한다. 이때, SOG막(514)을 도포한 후에는 250℃~350℃ 정도의 온도에서 30초 내지 5분 정도 베이킹을 실시하는 것이 바람직하다. SOG막(514)은 층간절연막(506a)에 대한 습식 식각선택비가 큰 절연막, 예컨대 무기물인 HSQ(hydro silsesquioxane)막, MSQ막 또는 다공성 SiO₂막인 것이 바람직하다. HSQ와 같은 SOG막(514)은 HF 용액에서 식각 속도가 매우 빠른 반면, 층간절연막(506a), 예컨대 SiOC막은 HF 용액에 거의 식각되지 않는다. 예를 들면, 물과 HF를 500대 1로 희석한 용액에 90초간 습식 식각할 경우, HSQ막은 470 Å 정도 식각되고, SiOC막은 15~31 Å 정도 식각되며, SiOC막은 13 Å 정도 식각되는 것으로 나타난다. 한편, 상기 SOG(514)막 대신에 상기 파삭 비아홀(512)내에는 PSG막, BPSG막 등을 매립할 수

록 2002-0086399

있으며, 바텀업(Bottom-Up) 충전특성을 갖는 CVD방식인 Flow FillTM 방식으로 형성할 수 있다.

도 28을 참조하면, SOG막(514) 상에 상기 제1 쪽(W1)보다 큰 제2 쪽(W2)을 가지고 SOG막(514)을 일부 노출시키는 제2 개구부(H2)를 갖춘 제2 포토레지스트 패턴(516)을 형성한다. 제2 개구부(H2)의 위치는 파상 비아홀(512)의 위치에 대응되도록 형성하여, 제2 포토레지스트 패턴(516)을 식각 마스크로 하여 SOG막(514) 및 하드 마스크층(508a)을 식각하게 되면 층간절연막(506a)에 형성된 파상 비아홀(512)이 노출되도록 한다.

도 29를 참조하면, 제2 포토레지스트 패턴(516)을 식각 마스크로 하여 층간절연막(506a) 상부의 SOG막(514) 및 하드 마스크층(508a)을 건식 식각한다. 상기 건식 식각은 C.F.계 가스 또는 C.H.F.계 가스와, 아르곤(Ar)과 같은 불활성 가스, 및 CO, CO₂ 또는 O₂ 가스를 포함하는 식각 가스를 사용한다. 상기 건식 식각은 5~50 mTorr의 압력에서, 1000~5000W 정도의 파워로 1~2분 정도 실시하는 것이 바람직하다. 상기 식각 동안에 파상 비아홀(512) 내에 매립된 SOG막(514)도 소정 정도 리세스되게 된다. 식각 조건에 따라서는 SOG막(514)이 거의 모두 제거될 수도 있다.

도 30을 참조하면, 제2 포토레지스트 패턴(516)을 제거한다. 제2 포토레지스트 패턴(516)은 통상의 방법, 예컨대 애싱 공정을 이용하여 제거할 수 있다.

이어서, 하드 마스크층(508b) 상부 및 파상 비아홀(512) 내에 형성된 SOG막(514a)을 습식 식각하여 제거한다. 층간절연막(506a)에 대한 SOG막(514a)의 식각 속도가 빨라 SOG막(514a)만을 선택적으로 제거할 수 있는 식각액, 예컨대 HF 용액을 사용하는 것이 바람직하다. HSQ와 같은 SOG막(514a)은 HF 용액에서 식각 속도가 매우 빠른 반면, 층간절연막(506a), 예컨대 SiOC막은 HF 용액에 거의 식각되지 않는다. 예를 들면, 물과 HF를 500대 1로 희석한 용액에 90초간 습식 식각할 경우, HSQ막은 470Å 정도 식각되고, SiOC막은 15~31Å 정도 식각되며, SiC막은 13Å 정도 식각된다.

제2 포토레지스트 패턴(516) 및 SOG막(514a)이 제거되면, 제2 쪽(W2)을 갖는 개구부가 형성되어 있는 하드 마스크층(508b)이 노출되게 된다.

도 31을 참조하면, 이후의 공정은 상기 제1 실시예와 동일하다. 즉, 하드 마스크층(508b)을 식각 마스크로 하여 층간절연막(506a)을 건식 식각하여 배선 영역(518) 및 비아홀(512a)을 동시에 형성하는 공정 및 그 이후의 공정은 상기 제1 실시예와 동일하다.

< 제 4 실시예 >

도 32 내지 도 36은 본 발명의 바람직한 제4 실시예에 따른 반도체 소자의 금속배선 형성방법을 공정순서에 따라 도시한 단면도들이다.

도 32를 참조하면, 소정의 도전층(602)이 형성된 반도체 기판(600) 상에 제1 스토퍼막(604), 제1 층간절연막(606), 제2 스토퍼막(608), 제2 층간절연막(607) 및 하드 마스크층(608)을 순차적으로 형성하고, 하드 마스크층(608) 상에 제1 쪽(W1)으로 하드 마스크층(608)의 상면을 일부 노출시키는 개구부를 갖는 제1 포토레지스트 패턴(미도시)을 형성하고, 상기 제1 포토레지스트 패턴을 식각 마스크로 하드 마스크층(608), 제2 층간절연막(607) 및 제2 스토퍼막(606)을 식각하여 파상 비아홀(612)을 형성한 후, 상기 제1 포토레지스트 패턴을 제거하는 단계는 상기 제2 실시예와 동일하다. 여기서, 제2 층간절연막(607)은 저유전율을 갖고, 하드 마스크층(608) 및 제2 스토퍼막(606)과의 식각선택비가 큰 절연막인 SiOC막으로 형성하는 것이 바람직하다. 제1 층간절연막은 저유전율을 갖고, 제1 스토퍼막과의 식각선택비가 큰 절연막, 예를 들면, SiOC막, 다공성 SiO₂막, PSB(phosphorous silicate glass)막, BPSG(boron phosphorous silicate glass)막, USG(undoped silicate glass)막, FSG(fluorine doped silicate glass)막, HDP(high density plasma)막, PE-TEOS(plasma enhanced-tetra ethyl ortho silicate)막 또는 SOG(spin on glass)막으로 형성하는 것이 바람직하다. 제2 층간절연막(607)은 제1 층간절연막(605)과 다른 절연막으로 형성할 수도 있으나, 제1 층간절연막(605)과 동일한 절연막으로 형성하는 것이 바람직하다.

이어서, 파상 비아홀(612)이 형성되어 있는 반도체 기판(600) 상에 SOG(spin on glass)막(614)을 스핀 코팅 방법으로 형성한다. 이때, SOG막(614)을 도포한 후에는 250°C ~ 350°C 정도의 온도에서 30초 내지 5분 정도 베이킹을 실시하는 것이 바람직하다. SOG막(614)은 제2 층간절연막(607a)에 대한 습식 식각선택비가 큰 절연막, 예컨대 무기물인 HSQ(hydro silsesquioxane)막 MSQ막 또는 다공성 SiO₂막인 것이 바람직하다.

HSQ와 같은 SOG막(614)은 HF 용액에서 식각 속도가 매우 빠른 반면, 제2 층간절연막(607a), 예컨대 SiOC막은 HF 용액에 거의 식각되지 않는다. 예를 들면, 물과 HF를 500대 1로 희석한 용액에 90초간 습식 식각할 경우, HSQ막은 470Å 정도 식각되고, SiOC막은 15~31Å 정도 식각되며, SiC막은 13Å 정도 식각되는 것으로 나타난다. 한편, 상기 SOG(614)막 대신에 상기 파상 비아홀(612)내에는 PSB막, BPSB막 등을 매립

할 수 있으며, 바텀업(Bottom-Up) 충전특성을 갖는 CVD방식인 Flow FillTM 방식으로 형성할 수 있다.

도 33을 참조하면, SOG막(614) 상에 상기 제1 쪽(W1)보다 큰 제2 쪽(W2)을 가지고 SOG막(614)을 일부 노출시키는 제2 개구부(H2)를 갖춘 제2 포토레지스트 패턴(616)을 형성한다. 제2 개구부(H2)의 위치는 파상 비아홀(612)의 위치에 대응되도록 형성하여, 제2 포토레지스트 패턴(616)을 식각 마스크로 하여 SOG막(614) 및 하드 마스크층(608a)을 식각하게 되면 제2 층간절연막(607a)에 형성된 파상 비아홀(612)이 노출되도록 한다.

도 34를 참조하면, 제2 포토레지스트 패턴(616)을 식각 마스크로 하여 제2 층간절연막(607a) 상부의 SOG막(614) 및 하드 마스크층(608a)을 건식 식각한다. 상기 건식 식각은 C.F.계 가스 또는 C.H.F.계 가스와, 아르곤(Ar)과 같은 불활성 가스, 및 CO, CO₂ 또는 O₂ 가스를 포함하는 식각 가스를 사용한다. 상기 건식 식각은 5~50 mTorr의 압력에서, 1000~5000W 정도의 파워로 1~2분 정도 실시하는 것이 바람직하다. 상기 식각 동안에 파상 비아홀(612) 내에 매립된 SOG막(614)도 소정 정도 리세스되게 된다. 식각 조건에 따라서는 SOG막(614)이 거의 모두 제거될 수도 있다.

록 2002-0088399

도 35를 참조하면, 제2 포토레지스트 패턴(616)을 제거한다. 제2 포토레지스트 패턴(616)은 통상의 방법, 예컨대 애싱 공정을 이용하여 제거할 수 있다.

이어서, 하드 마스크층(608b) 상부 및 상기 패시 비아홀(612) 내에 형성된 S06막(614a)을 습식 식각하여 제거한다. 제2 충전절연막(607a)에 대한 S06막(614a)의 식각 속도가 램라 S06막(614a)만을 선택적으로 제거할 수 있는 식각액, 예컨대 HF 용액을 사용하는 것이 바람직하다. HSQ와 같은 S06막(614a)은 HF 용액에서 식각 속도가 매우 빠른 반면, 제2 충전절연막(607a), 예컨대 SiOC막은 HF 용액에 거의 식각되지 않는다. 예를 들면, 램라 HF를 500대 1로 희석한 용액에 90초간 습식 식각할 경우, HSQ막은 470Å 정도 식각되고, SiOC막은 15~31Å 정도 식각되며, SiC막은 13Å 정도 식각된다.

제2 포토레지스트 패턴(616) 및 S06막(614a)이 제거되면, 제2 쪽(W2)을 갖는 개구부가 형성되어 있는 하드 마스크층(608b)이 노출되게 된다.

도 36를 참조하면, 하드 마스크층(608b)을 식각 마스크로 하여 제2 충전절연막(607a) 및 제1 충전절연막(605)을 건식 식각하여 배선영역(618) 및 비아홀(612a)을 동시에 형성한다. 즉, 제2 충전절연막(607b)에는 제2 쪽(W2)을 갖는 배선영역(618)을 형성하고, 제1 충전절연막(605a)에는 상기 제2 쪽(W2)보다는 작은 제1 쪽을 갖는 비아홀(612a)을 형성한다.

이어서, 비아홀(612a)을 통해 노출된 제1 스토퍼막(604)을 식각하여 제거한다. 이때, 하드 마스크층(608b)도 함께 식각하여 제거할 수도 있으며, 혹은 하드 마스크층(608b)을 제거하지 않고 그대로 남겨두고 후속 공정을 진행할 수도 있다.

이후의 공정은 상기 제1 실시예와 동일하다.

< 제 5 실시예 >

도 37 내지 도 43은 본 발명의 바람직한 제5 실시예에 따른 반도체 소자의 금속배선 형성방법을 공정 순서에 따라 도시한 단면도들이다.

도 37를 참조하면, 소정의 도전층(702)이 형성된 반도체 기판(700) 상에 스토퍼막(704)을 형성한다. 도전층(702)은 반도체 기판(700)에 형성된 불순물 도핑 영역이거나 구리(Cu) 배선층 또는 기타 다른 금속 배선층일 수 있다. 스토퍼막(704)은 그 상부에 형성되는 충전절연막(706)과의 식각선택비가 큰 물질, 예컨대 실리콘 질화막(Si₃N₄) 또는 실리콘 카바이드막(SiC)으로 형성하는 것이 바람직하다.

이어서, 스토퍼막(704) 상에 충전절연막(706)을 형성한다. 충전절연막(706)은 예를 들면, SiOC막, 다공성 SiO₂막, PSG막, BPSG막, USG막, FSG막, HDP막, PE-TEOS막 또는 S06막과 같은 저유전율을 갖는 절연막으로 형성하는 것이 바람직하다. 충전절연막(706)은 스토퍼막(704)과의 식각선택비가 큰 물질막으로 형성한다.

다음에, 충전절연막(706) 상에 하드 마스크층(708)을 형성한다. 하드 마스크층(708)은 충전절연막(706)과의 식각선택비가 큰 물질, 예컨대 실리콘 질화막, 실리콘 산화막, 실리콘 카바이드막, 폴리실리콘, 산화 알루미늄과 같은 금속산화물, TiN과 같은 금속질화물, 알루미늄 또는 티타늄 등의 금속으로 형성하는 것이 바람직하다.

이어서, 하드 마스크층(708) 상에 제1 쪽(W1)을 가지고 상기 도전층(702)에 대응하는 비아홀(후술함)을 한정하는 하드 마스크층(708)의 상면을 일부 노출시키는 제1 개구부(H1)를 갖는 제1 포토레지스트 패턴(710)을 형성한다. 즉, 하드 마스크층(708) 상에 포토레지스트를 도포한 후, 상기 포토레지스트를 노광 및 현상하여 제1 포토레지스트 패턴(710)을 형성한다.

도 38를 참조하면, 제1 포토레지스트 패턴(710)을 식각 마스크로 하드 마스크층(708) 및 충전절연막(706)을 식각하여 상기 스토퍼층(704)을 노출시키는 비아홀(712)을 형성한다.

다음에, 제1 포토레지스트 패턴(710)을 제거한다. 제1 포토레지스트 패턴(710)은 통상의 방법, 예컨대 애싱(shine) 공정을 이용하여 제거할 수 있다.

도 39를 참조하면, 비아홀(712)이 형성되어 있는 반도체 기판(700) 상에 매개물질층(714)을 도포하여 비아홀(712)을 매립한다. 상기 매개물질층(714)은 비아홀(712) 내에만 형성될 수도 있고, 하드 마스크층(708a) 상에도 소정 높이 만큼 얇게 형성될 수도 있다. 상기 매개물질층(714)은 전술한 제1 및 제2 실시예에서와 같은 유기 절연막으로서 탄소계 유기물인 BARC(Bottom Anti-Reflection Coating)막으로 형성할 수 있다. 상기 BARC막은 제1 실시예에서와 같이 소핀 코팅 방법에 의하여 형성할 수 있다.

한편, 상기 매개물질층(714)은 전술한 제3 및 제4 실시예에서와 같이 S06막으로 형성할 수 있다. 상기 S06막은, 예컨대 무기물인 HSQ(hydro silsesquioxane)와 MSQ막 또는 다공성 SiO₂막인 것이 바람직하다.

도 40을 참조하면, 매개물질층(714)이 형성되어 있는 반도체 기판(700) 상에 상기 제1 쪽(W1)보다 큰 제2 쪽(W2)을 가지고 매개물질층(714)을 일부 노출시키는 제2 개구부(H2)를 갖는 제2 포토레지스트 패턴(716)을 형성한다. 제2 개구부(H2)의 위치는 비아홀(712)의 위치에 대응되도록 형성하며, 비아홀(712)의 적어도 일부와 중첩되도록 그 상부에 제2 개구부(H2)가 위치하도록 한다.

도 41을 참조하면, 제2 포토레지스트 패턴(716)을 식각 마스크로 하여 충전절연막(706) 상부의 매개물질층(714) 및 하드 마스크층(708a)을 건식 식각한다. 매개물질층(714)이 제1 및 제2 실시예에서와 같이 유기 절연막인 BARC막인 경우 상기 식각은 O₂를 포함하는 가스 또는 N₂ 및 H₂를 포함하는 가스를 식각 가스로 사용한다. 혹은, C₂F₆계 가스 또는 C₄F₈계 가스와, 아르곤(Ar)과 같은 불활성 가스, 및 CO 또는 O₂ 가스를 포함하는 식각 가스를 사용할 수도 있다. 이때, 비아홀(712) 내의 매개물질층(714)도 상기 식각시 어느 정도는 리세스(recess)되게 된다.

한편, 상기 매개물질층(714)이 제3 및 제4 실시예에서와 같이 S06막인 경우, 상기 건식 식각은 C₂F₆계 가스 또는 C₄F₈계 가스와, 아르곤(Ar)과 같은 불활성 가스, 및 CO, CO₂ 또는 O₂ 가스를 포함하는 식각 가

록 2002-0088399

스를 사용한다. 상기 건식 식각은 5~50 mTorr의 압력에서, 1000~5000W 정도의 파워로 1~2분 정도 실시하는 것이 바람직하다.

도 42를 참조하면, 제2 포토레지스트 패턴(716)을 제거한다. 제2 포토레지스트 패턴(716)은 통상의 방법, 예컨대 애싱 공정을 이용하여 제거할 수 있다. 이때, 매개물질층(714)이 유기물인 경우 유기 물질막도 함께 제거되게 된다. 즉, 하드 마스크층(708a) 상부 및 비아홀(712) 내에 존재하는 유기 물질막으로 된 매개물질층(714)도 제2 포토레지스트 패턴(716) 제거 공정, 예컨대 애싱 공정에서 함께 제거되게 된다. 제2 포토레지스트 패턴(716) 및 매개물질층(714)이 제거되면, 제2 쪽(W2)을 갖는 개구부를 갖는 하드 마스크층(708b)이 노출되게 된다.

매개물질층(714)이 SOG막인 경우, 하드 마스크층(708b) 상부 및 비아홀(712) 내에 형성된 SOG막을 습식 식각하여 제거한다. 용간절연막(706)에 대한 SOG막의 식각 속도가 빨라 SOG막만을 선택적으로 제거할 수 있는 식각액, 예컨대 HF 용액을 사용하는 것이 바람직하다. HSQ와 같은 SOG막은 HF 용액에서 식각 속도가 매우 빠른 반면, 용간절연막(706), 예컨대 SiOC막은 HF 용액에 거의 식각되지 않는다.

도 43을 참조하면, 하드 마스크층(708b)을 식각 마스크로 하여 용간절연막(706)을 건식 식각하여 배선영역(718) 및 비아홀(712a)을 동시에 형성한다. 즉, 용간절연막(706) 내에 제2 쪽(W2)을 갖는 배선영역(718)을 형성하고, 배선영역(718)의 하부에는 상기 제2 쪽(W2)보다는 작은 제1 쪽을 갖는 비아홀(712a)을 형성한다. 한편, 하드 마스크층(708b)을 식각 마스크로서 사용하므로 하드 마스크층(708b)은 용간절연막(706)의 식각 동안에 건식만을 충분한 두께를 가져야 한다.

이어서, 비아홀(712a)을 통해 노출된 스토퍼막(704)을 식각하여 제거한다. 이때, 하드 마스크층(708b)도 함께 식각하여 제거할 수도 있으며, 혹은 하드 마스크층(708b)을 제거하지 않고 그대로 남겨두고 후속 공정을 진행할 수도 있다.

이어서, 제1 실시예에서와 동일하게 스토퍼막(704)이 제거된 반도체 기판(700) 상에 단차를 따라 배리어층(도시안됨) 및 도전층(도시안됨)을 형성한 후, 평탄화하여 듀얼 다마신 구조의 금속배선 형성을 완료한다.

< 제 6 실시예 >

도 44 내지 도 50은 본 발명의 바람직한 제6 실시예에 따른 반도체 소자의 금속배선 형성방법을 공정 순서에 따라 도시한 단면도들이다. 제5 실시예와 비교하면, 제5 실시예의 용간절연막(706) 대신에 제1 용간절연막(805), 제2 스토퍼막(806) 및 제2 용간절연막(807)을 사용한다는 점을 제외하고 동일하다.

도 44를 참조하면, 소정의 도전층(802)이 형성된 반도체 기판(800) 상에 제1 스토퍼막(804)을 형성한다. 이어서, 제1 스토퍼막(804) 상에 제1 용간절연막(805), 제2 스토퍼막(806) 및 제2 용간절연막(807)을 차례로 형성한다.

다음에, 제2 용간절연막(807) 상에 하드 마스크층(808)을 형성한다. 하드 마스크층(808)은 용간절연막(706)과의 식각선택비가 큰 물질, 예컨대 실리콘 질화막, 실리콘 산화막, 실리콘 카바이드막, 폴리실리콘, 산화알루미늄과 같은 금속산화물, TiN과 같은 금속질화물, 알루미늄 또는 티타늄 등의 금속으로 형성하는 것이 바람직하다.

이어서, 하드 마스크층(808) 상에 제1 쪽(W1)을 가지고 상기 도전층(802)에 대응하는 비아홀(후술함)을 한정하는 하드 마스크층(808)의 상면을 일부 노출시키는 제1 개구부(H1)를 갖는 제1 포토레지스트 패턴(810)을 형성한다.

도 45를 참조하면, 제1 포토레지스트 패턴(810)을 식각 마스크로 하드 마스크층(808), 제2 용간절연막(807a), 제2 스토퍼막(806) 및 제1 용간절연막(806)을 순차적으로 식각조건을 변경하면서 식각하여 상기 스토퍼층(804)을 노출시키는 비아홀(812)을 형성한다. 다음에, 제1 포토레지스트 패턴(810)을 제거한다.

도 46을 참조하면, 비아홀(812)을 매개물질층(814)으로 매립한다. 상기 매개물질층(814)은 비아홀(812) 내에만 형성될 수도 있고, 하드 마스크층(808a) 상에도 소정 높이 만큼 얇게 형성될 수도 있다. 상기 매개물질층(814)은 전술한 제5 실시예에서와 같은 유기 물질막으로서 탄소계 유기물인 BARC(Bottom Anti-Reflection Coating)막 또는 SOG막으로 형성할 수 있다.

도 47를 참조하면, 매개물질층(814)이 형성되어 있는 반도체 기판(800) 상에 상기 제1 쪽(W1)보다 큰 제2 쪽(W2)을 가지고 매개물질층(814)을 일부 노출시키는 제2 개구부(H2)를 갖는 제2 포토레지스트 패턴(816)을 형성한다. 제2 개구부(H2)의 위치는 비아홀(812)의 위치에 대응되도록 형성하며, 듀얼다마신 구조를 형성하기 위하여 비아홀(812)의 적어도 일부와 중첩되도록 그 상부에 제2 개구부(H2)가 위치하도록 한다.

도 48을 참조하면, 제2 포토레지스트 패턴(816)을 식각 마스크로 하여 매개물질층(814) 및 하드 마스크층(808b)을 건식 식각한다. 이때, 비아홀(812) 내의 매개물질층(814)도 상기 식각시 어느 정도는 리세스(recess)되게 된다.

도 49를 참조하면, 제2 포토레지스트 패턴(816)을 제거한다. 제2 포토레지스트 패턴(816)은 통상의 방법, 예컨대 애싱 공정을 이용하여 제거할 수 있다. 이어서 제5 실시예에서와 같이 비아홀(812)내에 잔류하는 매개물질층(814)을 제거한다.

도 50을 참조하면, 하드 마스크층(808b)을 식각 마스크로 하여 제2 용간절연막(807b)을 제2 스토퍼막(806)이 노출될 때까지 건식 식각하여 배선영역(818)을 형성한다. 이어서, 비아홀(812a)을 통해 노출된 제1 스토퍼막(804)을 식각하여 제거한다. 이때, 하드 마스크층(808b)도 함께 식각하여 제거할 수도 있으며, 혹은 하드 마스크층(808b)을 제거하지 않고 그대로 남겨두고 후속 공정을 진행할 수도 있다.

이어서, 제1 실시예에서와 동일하게 제1 스토퍼막(804)이 제거된 반도체 기판(800) 상에 단차를 따라 배리어층(도시안됨) 및 도전층(도시안됨)을 형성한 후, 평탄화하여 듀얼 다마신 구조의 금속배선 형성을 완

특 2002-0088399

로한다.

발명의 효과

본 발명에 의한 반도체 소자의 금속배선 형성방법에 의하면, 층간절연막(또는 제2 층간절연막 및 제1 층간절연막)을 식각하여 배선영역 및 비아홀을 형성할 때 스토퍼막(또는 제1 스토퍼막)이 식각되어 도전층이 일부 노출될 염려는 없으며, 따라서 제2 포토레지스트 패턴 제거 공정에서 도전층의 상부에 금속산화물층이 형성되던 종래와 같은 문제는 발생하지 않는다. 또한, 본 발명은 파살 비아홀을 형성한 후 제2 포토레지스트 패턴을 형성할 때 파살 비아홀 바닥에 포토레지스트가 잔류하여 비아홀이 오픈되지 않는 종래와 같은 문제는 발생하지 않는다. 또한, 본 발명은 파살 비아홀을 형성한 후 제2 포토레지스트 패턴을 형성하기 전에 파살 비아홀을 유기물 또는 무기물로 매립하기 때문에, 제2 포토레지스트 패턴의 미스-어라인이 발생하더라도 종래와 같은 비아홀의 프로파일 불량은 발생하지 않는다. 또한, 본 발명은 제2 포토레지스트 패턴을 제거한 후 하드 마스크층을 식각 마스크로 하여 배선영역 및 비아홀을 형성하기 때문에 종래와 같은 층간절연막 표면에 나타나는 대형 공정에 의한 손상은 발생하지 않는다.

또한, 본 발명의 제5 및 제6 실시예에서와 같이 매개층질을 이용하여 파살 비아홀이 아니라 풀 비아홀(full via hole)을 적용할 수도 있다.

이상, 본 발명의 바람직한 실시예를 들어 상세하게 설명하였으나, 본 발명은 상기 실시예에 한정되는 것은 아니며, 본 발명의 기술적 사상의 범위 내에서 당 분야에서 통상의 지식을 가진 자에 의하여 여러 가지 변형이 가능하다.

(57) 청구의 범위

청구항 1. 도전층이 형성된 반도체 기판 상에 스토퍼막을 형성하는 단계;

상기 스토퍼막 상에 층간절연막을 형성하는 단계;

상기 층간절연막 상에 하드 마스크층을 형성하는 단계;

상기 하드 마스크층 상에 제1 쪽을 가지고 상기 하드 마스크층의 상면을 일부 노출시키는 제1 계구부를 갖춘 제1 포토레지스트 패턴을 형성하는 단계;

상기 제1 포토레지스트 패턴을 식각 마스크로 하여 상기 하드 마스크층 및 일부의 상기 층간절연막을 식각하여 제1 쪽을 갖는 파살 비아홀을 형성하는 단계;

상기 제1 포토레지스트 패턴을 제거하는 단계;

파살 비아홀이 형성된 상기 반도체 기판 상에 상기 파살 비아홀을 채우기 위하여 유기 물질막을 도포하는 단계;

유기 물질막이 형성된 상기 반도체 기판 상에 상기 파살 비아홀에 대응하도록 위치하여 제2 쪽을 가지는 제2 계구부를 갖춘 제2 포토레지스트 패턴을 형성하는 단계;

상기 제2 포토레지스트 패턴을 식각 마스크로 하여 상기 층간절연막 상부의 상기 유기 물질막 및 상기 하드 마스크층을 식각하는 단계;

상기 제2 포토레지스트 패턴 및 상기 유기 물질막을 동시에 제거하는 단계; 및

상기 하드 마스크층을 식각 마스크로 하여 상기 층간절연막을 식각하여 제2 쪽을 갖는 배선 영역과 제1 쪽을 갖는 비아홀을 형성하는 단계를 포함하는 것을 특징으로 하는 반도체 소자의 금속배선 형성방법.

청구항 2. 제1항에 있어서, 상기 제1 포토레지스트 패턴을 식각 마스크로 하여 상기 층간절연막의 일부를 식각함에 있어, 식각된 층간절연막의 깊이와 식각되지 않고 남은 층간절연막의 두께는 비슷하도록 하는 것을 특징으로 하는 반도체 소자의 금속배선 형성방법.

청구항 3. 제1항에 있어서, 상기 도전층은 구리 배선층인 것을 특징으로 하는 반도체 소자의 금속배선 형성방법.

청구항 4. 제1항에 있어서, 상기 스토퍼막은 상기 층간절연막과 식각선택비를 갖는 실리콘 질화막 또는 실리콘 카바이드막으로 형성하는 것을 특징으로 하는 반도체 소자의 금속배선 형성방법.

청구항 5. 제1항에 있어서, 상기 층간절연막은 상기 스토퍼막 및 상기 하드 마스크층에 대한 식각선택비가 크고, 저유전율을 갖는 절연막으로 형성하는 것을 특징으로 하는 반도체 소자의 금속배선 형성방법.

청구항 6. 제5항에 있어서, 상기 층간절연막은 SiO₂막, 다공성 SiO₂막, PSG(phosphorous silicate glass)막, BPSG(boron phosphorous silicate glass)막, USG(undoped silicate glass)막, FSG(fluorine doped silicate glass)막, HDP(high density plasma)막, PE-TEOS(plasma enhanced-tetra ethyl ortho silicate)막 또는 SOG(spin on glass)막으로 형성하는 것을 특징으로 하는 반도체 소자의 금속배선 형성방법.

청구항 7. 제1항에 있어서, 상기 하드 마스크층은 상기 층간절연막과의 식각선택비가 큰 실리콘 질화막 또는 실리콘 카바이드막으로 형성하는 것을 특징으로 하는 반도체 소자의 금속배선 형성방법.

청구항 8. 제1항에 있어서, 상기 유기 물질막은 탄소계 유기물인 BARC(Bottom Anti-Reflection Coating)막으로 형성하는 것을 특징으로 하는 반도체 소자의 금속배선 형성방법.

청구항 9. 제1항에 있어서, 상기 제2 포토레지스트 패턴을 식각 마스크로 하여 상기 층간절연막 상부의

2002-0088399

상기 유기 물질막 및 상기 하드 마스크층을 식각하는 단계는 식각 가스로서 O_2 를 포함하는 가스 또는 N_2 및 H_2 를 포함하는 가스를 사용하는 것을 특징으로 하는 반도체 소자의 금속배선 형성방법.

청구항 10. 제1항에 있어서, 상기 제2 포토레지스트 패턴을 식각 마스크로 하여 상기 중간절연막 상부의 상기 유기 물질막 및 상기 하드 마스크층을 식각하는 단계는 식각 가스로서 CF_4 계 가스 또는 CHF_3 계 가스, 불활성 가스 및 CO 또는 O_2 가스를 포함하는 가스를 사용하는 것을 특징으로 하는 반도체 소자의 금속배선 형성방법.

청구항 11. 제1항에 있어서, 배선영역 및 비아홀을 형성하는 단계 이후에,
상기 스토퍼막을 제거하는 단계;

스토퍼막이 제거된 상기 반도체 기판 상에 단차를 따라 배리어층을 형성하는 단계;

배리어층이 형성된 상기 반도체 기판 상에 도전물질층 증착하여 상기 배선영역 및 상기 비아홀 내에 상기 도전물질을 매립하는 단계; 및

도전물질이 매립되어 있는 상기 반도체 기판을 화학기계적 연마하는 단계를 더 포함하는 것을 특징으로 하는 반도체 소자의 금속배선 형성방법.

청구항 12. 제1항에 있어서, 상기 배리어층은 Ta 막, TaN 막, Ti 막, TiN 막 또는 이들의 조합막으로 형성하는 것을 특징으로 하는 반도체 소자의 금속배선 형성방법.

청구항 13. 도전층이 형성된 반도체 기판 상에 제1 스토퍼막을 형성하는 단계;

상기 제1 스토퍼막 상에 제1 중간절연막을 형성하는 단계;

상기 제1 중간절연막 상에 제2 스토퍼막을 형성하는 단계;

상기 제2 스토퍼막 상에 제2 중간절연막을 형성하는 단계;

상기 제2 중간절연막 상에 하드 마스크층을 형성하는 단계;

상기 하드 마스크층 상에 제1 쪽을 가지고 상기 하드 마스크층의 상면을 일부 노출시키는 제1 개구부를 갖춘 제1 포토레지스트 패턴을 형성하는 단계;

상기 제1 포토레지스트 패턴을 식각 마스크로 하여 상기 하드 마스크층, 제2 중간절연막 및 제2 스토퍼막을 식각하여 제1 쪽을 갖는 파삭 비아홀을 형성하는 단계;

상기 제1 포토레지스트 패턴을 제거하는 단계;

파삭 비아홀이 형성된 상기 반도체 기판 상에 상기 파삭 비아홀을 채우기 위하여 유기 물질막을 도포하는 단계;

유기 물질막이 형성된 상기 반도체 기판 상에 상기 파삭 비아홀에 대응하도록 위치하며 제2 쪽을 가지는 제2 개구부를 갖춘 제2 포토레지스트 패턴을 형성하는 단계;

상기 제2 포토레지스트 패턴을 식각 마스크로 하여 상기 제2 중간절연막 상부의 상기 유기 물질막 및 상기 하드 마스크층을 식각하는 단계;

상기 제2 포토레지스트 패턴 및 상기 유기 물질막을 동시에 제거하는 단계; 및

상기 하드 마스크층을 식각 마스크로 하여 상기 제2 중간절연막 및 상기 제1 중간절연막을 식각하여 상기 제2 중간절연막에 제2 쪽을 갖는 배선 영역과 상기 제1 중간절연막에 제1 쪽을 갖는 비아홀을 형성하는 단계를 포함하는 것을 특징으로 하는 반도체 소자의 금속배선 형성방법.

청구항 14. 제13항에 있어서, 상기 도전층은 구리 배선층인 것을 특징으로 하는 반도체 소자의 금속배선 형성방법.

청구항 15. 제13항에 있어서, 상기 제1 스토퍼막은 상기 제1 중간절연막과 식각선택비를 갖는 실리콘 질화막 또는 실리콘 카바이드막으로 형성하는 것을 특징으로 하는 반도체 소자의 금속배선 형성방법.

청구항 16. 제13항에 있어서, 상기 제2 스토퍼막은 상기 제2 중간절연막과 식각선택비를 갖는 실리콘 질화막 또는 실리콘 카바이드막으로 형성하는 것을 특징으로 하는 반도체 소자의 금속배선 형성방법.

청구항 17. 제13항에 있어서, 상기 제1 중간절연막은 상기 제1 스토퍼막 및 상기 하드 마스크층에 대한 식각선택비가 크고, 저유전율을 갖는 물질막으로 형성하는 것을 특징으로 하는 반도체 소자의 금속배선 형성방법.

청구항 18. 제17항에 있어서, 상기 제1 중간절연막은 SiO_2 막, 다공성 SiO_2 막, PSG(phosphorous silicate glass)막, BPSG(boron phosphorous silicate glass)막, USG(undoped silicate glass)막, FSG(fluorine doped silicate glass)막, HDP(high density plasma)막, PE-TEOS(plasma enhanced-tetra ethyl ortho silicate)막 또는 SOG(spin on glass)막으로 형성하는 것을 특징으로 하는 반도체 소자의 금속배선 형성방법.

청구항 19. 제13항에 있어서, 상기 제2 중간절연막은 상기 제2 스토퍼막 및 상기 하드 마스크층에 대한 식각선택비가 크고, 저유전율을 갖는 물질막으로 형성하는 것을 특징으로 하는 반도체 소자의 금속배선 형성방법.

청구항 20. 제19항에 있어서, 상기 제2 중간절연막은 SiO_2 막, 다공성 SiO_2 막, PSG(phosphorous silicate glass)막, BPSG(boron phosphorous silicate glass)막, USG(undoped silicate glass)막,

특 2002-0088399

FSG(fluorine doped silicate glass)막, HDP(high density plasma)막, PE-TEOS(plasma enhanced-tetra ethyl ortho silicate)막 또는 SOG(spin on glass)막으로 형성하는 것을 특징으로 하는 반도체 소자의 금속배선 형성방법.

청구항 21. 제13항에 있어서, 상기 제2 층간절연막 및 제1 층간절연막은 동일 물질막으로 형성하는 것을 특징으로 하는 반도체 소자의 금속배선 형성방법.

청구항 22. 제13항에 있어서, 상기 하드 마스크층은 상기 제2 층간절연막 및 상기 제1 층간절연막과의 식각선택비가 큰 실리콘 질화막 또는 실리콘 카바이드막으로 형성하는 것을 특징으로 하는 반도체 소자의 금속배선 형성방법.

청구항 23. 제13항에 있어서, 상기 유기 물질막은 탄소계 유기물인 BARC(Bottom Anti-Reflection Coating)막으로 형성하는 것을 특징으로 하는 반도체 소자의 금속배선 형성방법.

청구항 24. 제13항에 있어서, 상기 제2 포토레지스트 패턴을 식각 마스크로 하여 상기 제2 층간절연막 상부의 상기 유기 물질막 및 상기 하드 마스크층을 식각하는 단계는 식각 가스로서 O_2 를 포함하는 가스 또는 N_2 및 H_2 를 포함하는 가스를 사용하는 것을 특징으로 하는 반도체 소자의 금속배선 형성방법.

청구항 25. 제13항에 있어서, 상기 제2 포토레지스트 패턴을 식각 마스크로 하여 상기 제2 층간절연막 상부의 상기 유기 물질막 및 상기 하드 마스크층을 식각하는 단계는 식각 가스로서 C_2F_6 가스 또는 $C_2H_2F_6$ 가스, 불활성 가스 및 CO 또는 O_2 가스를 포함하는 가스를 사용하는 것을 특징으로 하는 반도체 소자의 금속배선 형성방법.

청구항 26. 제13항에 있어서, 배선영역 및 비아홀을 형성하는 단계 이후에,

상기 제1 스토퍼막을 제거하는 단계;

제1 스토퍼막이 제거된 상기 반도체 기판 상에 단차를 따라 배리어층을 형성하는 단계;

배리어층이 형성된 상기 반도체 기판 상에 도전물질층 증착하여 상기 배선영역 및 상기 비아홀 내에 상기 도전물질층 매립하는 단계; 및

도전물질층이 매립되어 있는 상기 반도체 기판을 화학기계적 연마하는 단계를 더 포함하는 것을 특징으로 하는 반도체 소자의 금속배선 형성방법.

청구항 27. 제26항에 있어서, 상기 배리어층은 Ta 막, TaN 막, Ti 막, TiN 막 또는 이들의 조합막으로 형성하는 것을 특징으로 하는 반도체 소자의 금속배선 형성방법.

청구항 28. 도전층이 형성된 반도체 기판 상에 스토퍼막을 형성하는 단계;

상기 스토퍼막 상에 층간절연막을 형성하는 단계;

상기 층간절연막 상에 하드 마스크층을 형성하는 단계;

상기 하드 마스크층 상에 제1 쪽을 가지고 상기 하드 마스크층의 상면을 일부 노출시키는 제1 개구부를 갖는 제1 포토레지스트 패턴을 형성하는 단계;

상기 제1 포토레지스트 패턴을 식각 마스크로 하여 상기 하드 마스크층 및 일부의 상기 층간절연막을 식각하여 제1 쪽을 갖는 파살 비아홀을 형성하는 단계;

상기 제1 포토레지스트 패턴을 제거하는 단계;

파살 비아홀이 형성된 상기 반도체 기판 상에 상기 파살 비아홀을 채우기 위하여 SOG막을 도포하는 단계;

SOG막이 도포된 상기 반도체 기판 상에 상기 파살 비아홀에 대응하도록 위치하여 제2 쪽을 가지는 제2 개구부를 갖는 제2 포토레지스트 패턴을 형성하는 단계;

상기 제2 포토레지스트 패턴을 식각 마스크로 하여 상기 층간절연막 상부의 상기 SOG막 및 상기 하드 마스크층을 식각하는 단계;

상기 제2 포토레지스트 패턴을 제거하는 단계

상기 하드 마스크층 상부 및 상기 파살 비아홀 내에 형성된 상기 SOG막을 습식 식각하여 제거하는 단계;

상기 하드 마스크층을 식각 마스크로 하여 상기 층간절연막을 식각하여 제2 쪽을 갖는 배선 영역과 제1 쪽을 갖는 비아홀을 형성하는 단계를 포함하는 것을 특징으로 하는 반도체 소자의 금속배선 형성방법.

청구항 29. 제28항에 있어서, 상기 제1 포토레지스트 패턴을 식각 마스크로 하여 상기 층간절연막의 일부를 식각함에 있어, 식각된 층간절연막의 깊이와 식각되지 않고 남은 층간절연막의 두께는 비슷하도록 하는 것을 특징으로 하는 반도체 소자의 금속배선 형성방법.

청구항 30. 제28항에 있어서, 상기 도전층은 구리 배선층인 것을 특징으로 하는 반도체 소자의 금속배선 형성방법.

청구항 31. 제28항에 있어서, 상기 스토퍼막은 상기 층간절연막과 식각선택비를 갖는 실리콘 질화막 또는 실리콘 카바이드막으로 형성하는 것을 특징으로 하는 반도체 소자의 금속배선 형성방법.

청구항 32. 제28항에 있어서, 상기 층간절연막은 상기 스토퍼막 및 상기 하드 마스크층에 대한 식각선택비가 크고, 저유전율을 갖는 물질막으로 형성하는 것을 특징으로 하는 반도체 소자의 금속배선 형성방법.

특 2002-0088399

청구항 33. 제32항에 있어서, 상기 층간절연막은 SiO_2 막으로 형성하는 것을 특징으로 하는 반도체 소자의 금속배선 형성방법.

청구항 34. 제28항에 있어서, 상기 하드 마스크층은 상기 층간절연막과의 식각선택비가 큰 실리콘 질화막 또는 실리콘 카바이드막으로 형성하는 것을 특징으로 하는 반도체 소자의 금속배선 형성방법.

청구항 35. 제28항에 있어서, 상기 SiO_2 막은 상기 층간절연막과 식각선택비를 갖는 무기물인 $HSiO_4$ 또는 SiO_2 막인 것을 특징으로 하는 반도체 소자의 금속배선 형성방법.

청구항 36. 제28항에 있어서, 상기 SiO_2 막의 습식 식각은 상기 층간절연막에 대하여 상기 SiO_2 막만을 선택적으로 식각할 수 있는 HF 용액을 사용하는 것을 특징으로 하는 반도체 소자의 금속배선 형성방법.

청구항 37. 제28항에 있어서, 상기 제2 포토레지스트 패턴을 식각 마스크로 하여 상기 층간절연막 상부의 상기 SiO_2 막 및 상기 하드 마스크층을 식각하는 단계는 식각 가스로서 C.F.계 가스 또는 C.H.F.계 가스, 불활성 가스 및 CO_2 또는 O_2 가스를 포함하는 가스를 사용하는 것을 특징으로 하는 반도체 소자의 금속배선 형성방법.

청구항 38. 제28항에 있어서, 배선영역 및 비아홀을 형성하는 단계 이후에, 상기 스토퍼막을 제거하는 단계;

스토퍼막이 제거된 상기 반도체 기판 상에 단차를 따라 배리어층을 형성하는 단계;

배리어층이 형성된 상기 반도체 기판 상에 도전물질층을 증착하여 상기 배선영역 및 상기 비아홀 내에 상기 도전물질층을 매립하는 단계; 및

도전물질이 매립되어 있는 상기 반도체 기판을 화학기계적 연마하는 단계를 더 포함하는 것을 특징으로 하는 반도체 소자의 금속배선 형성방법.

청구항 39. 제38항에 있어서, 상기 배리어층은 Ta막, TaN막, Ti막, TiN막 또는 이들의 조합막으로 형성하는 것을 특징으로 하는 반도체 소자의 금속배선 형성방법.

청구항 40. 도전층이 형성된 반도체 기판 상에 제1 스토퍼막을 형성하는 단계;

상기 제1 스토퍼막 상에 제1 층간절연막을 형성하는 단계;

상기 제1 층간절연막 상에 제2 스토퍼막을 형성하는 단계;

상기 제2 스토퍼막 상에 제2 층간절연막을 형성하는 단계;

상기 제2 층간절연막 상에 하드 마스크층을 형성하는 단계;

상기 하드 마스크층 상에 제1 쪽을 가지고 상기 하드 마스크층의 상면을 일부 노출시키는 제1 개구부를 갖는 제1 포토레지스트 패턴을 형성하는 단계;

상기 제1 포토레지스트 패턴을 식각 마스크로 하여 상기 하드 마스크층, 제2 층간절연막 및 제2 스토퍼막을 식각하여 제1 쪽을 갖는 파사 비아홀을 형성하는 단계;

상기 제1 포토레지스트 패턴을 제거하는 단계;

파사 비아홀이 형성된 상기 반도체 기판 상에 상기 파사 비아홀을 채우기 위하여 SiO_2 막을 도포하는 단계;

SiO_2 막이 형성된 상기 반도체 기판 상에 상기 파사 비아홀에 대응하도록 위치하여 제2 쪽을 가지는 제2 개구부를 갖는 제2 포토레지스트 패턴을 형성하는 단계;

상기 제2 포토레지스트 패턴을 식각 마스크로 하여 상기 제2 층간절연막 상부의 상기 SiO_2 막 및 상기 하드 마스크층을 식각하는 단계;

상기 제2 포토레지스트 패턴을 제거하는 단계;

상기 하드 마스크층 상부 및 상기 파사 비아홀 내에 형성된 상기 SiO_2 막을 습식 식각하여 제거하는 단계;

상기 하드 마스크층을 식각 마스크로 하여 상기 제2 층간절연막 및 상기 제1 층간절연막을 식각하여 상기 제2 층간절연막에 제2 쪽을 갖는 배선 영역과 상기 제1 층간절연막에 제1 쪽을 갖는 비아홀을 형성하는 단계를 포함하는 것을 특징으로 하는 반도체 소자의 금속배선 형성방법.

청구항 41. 제40항에 있어서, 상기 도전층은 구리 배선층인 것을 특징으로 하는 반도체 소자의 금속배선 형성방법.

청구항 42. 제40항에 있어서, 상기 제1 스토퍼막은 상기 제1 층간절연막과 식각선택비를 갖는 실리콘 질화막 또는 실리콘 카바이드막으로 형성하는 것을 특징으로 하는 반도체 소자의 금속배선 형성방법.

청구항 43. 제40항에 있어서, 상기 제2 스토퍼막은 상기 제2 층간절연막과 식각선택비를 갖는 실리콘 질화막 또는 실리콘 카바이드막으로 형성하는 것을 특징으로 하는 반도체 소자의 금속배선 형성방법.

청구항 44. 제40항에 있어서, 상기 제1 층간절연막은 상기 제1 스토퍼막 및 상기 하드 마스크층에 대한 식각선택비가 크고, 저유전율을 갖는 절연막으로 형성하는 것을 특징으로 하는 반도체 소자의 금속배선 형성방법.

청구항 45. 제44항에 있어서, 상기 제1 층간절연막은 SiO_2 막, 다공성 SiO_2 막, PSG(phosphorous silicate glass)막, BPSG(boron phosphorous silicate glass)막, USG(undoped silicate glass)막,

002-0088399

FSG(fluorine doped silicate glass)막, HDP(high density plasma)막, PE-TEOS(plasma enhanced-tetra ethyl ortho silicate)막 또는 SOG(spin on glass)막으로 형성하는 것을 특징으로 하는 반도체 소자의 금속배선 형성방법.

청구항 46. 제40항에 있어서, 상기 제2 중간절연막은 상기 제2 스토퍼막 및 상기 하드 마스크층에 대한 식각선택비가 크고, 저유전율을 갖는 물질막으로 형성하는 것을 특징으로 하는 반도체 소자의 금속배선 형성방법.

청구항 47. 제46항에 있어서, 상기 제2 중간절연막은 SiOC막으로 형성하는 것을 특징으로 하는 반도체 소자의 금속배선 형성방법.

청구항 48. 제40항에 있어서, 상기 제2 중간절연막 및 제1 중간절연막은 동일 물질막으로 형성하는 것을 특징으로 하는 반도체 소자의 금속배선 형성방법.

청구항 49. 제40항에 있어서, 상기 하드 마스크층은 상기 제2 중간절연막 및 상기 제1 중간절연막과의 식각선택비가 큰 실리콘 질화막 또는 실리콘 카바이드막으로 형성하는 것을 특징으로 하는 반도체 소자의 금속배선 형성방법.

청구항 50. 제40항에 있어서, 상기 SOG막은 상기 제2 중간절연막과 식각선택비를 갖는 무기물인 HSQ막 또는 SiO₂막인 것을 특징으로 하는 반도체 소자의 금속배선 형성방법.

청구항 51. 제40항에 있어서, 상기 SOG막의 습식 식각은 상기 제2 중간절연막에 대하여 상기 SOG막만을 선택적으로 식각할 수 있는 HF 용액을 사용하는 것을 특징으로 하는 반도체 소자의 금속배선 형성방법.

청구항 52. 제40항에 있어서, 상기 제2 포토레지스트 패턴을 식각 마스크로 하여 상기 제2 중간절연막 상부의 상기 SOG막 및 상기 하드 마스크층을 식각하는 단계는 식각 가스로서 C₂F₆ 가스 또는 C₄F₈ 가스, 불활성 가스 및 CO, CO₂ 또는 H₂ 가스를 포함하는 가스를 사용하는 것을 특징으로 하는 반도체 소자의 금속배선 형성방법.

청구항 53. 제40항에 있어서, 배선영역 및 비아홀을 형성하는 단계 이후에,

상기 제1 스토퍼막을 제거하는 단계;

제1 스토퍼막이 제거된 상기 반도체 기판 상에 단차를 따라 배리어층을 형성하는 단계;

배리어층이 형성된 상기 반도체 기판 상에 도전물질층을 증착하여 상기 배선영역 및 상기 비아홀 내에 상기 도전물질층을 매립하는 단계; 및

도전물질층이 매립되어 있는 상기 반도체 기판을 화학기계적 연마하는 단계를 더 포함하는 것을 특징으로 하는 반도체 소자의 금속배선 형성방법.

청구항 54. 제53항에 있어서, 상기 배리어층은 Ta막, TaN막, Ti막, TiN막 또는 이들의 조합막으로 형성하는 것을 특징으로 하는 반도체 소자의 금속배선 형성방법.

청구항 55. 반도체 기판상에 형성된 도전층 상에 스토퍼막을 형성하는 단계;

상기 스토퍼막 상에 중간절연막을 형성하는 단계;

상기 중간절연막 상에 하드 마스크층을 형성하는 단계;

상기 하드 마스크층 상에 상기 도전층에 대응하여 비아홀을 한정하는 제1 포토레지스트 패턴을 형성하는 단계;

상기 제1 포토레지스트 패턴을 식각 마스크로 하여 상기 하드 마스크층 및 상기 중간절연막을 식각하여 상기 도전층 상에 형성된 스토퍼막의 표면을 노출시키는 비아홀을 형성하는 단계;

상기 제1 포토레지스트 패턴을 제거하는 단계;

상기 비아홀을 매개물질층으로 매립하는 단계;

상기 하드 마스크층의 일부를 식각하여 상기 비아홀의 적어도 일부와 중첩되는 배선영역을 한정하는 하드 마스크 패턴을 형성하는 단계;

상기 비아홀로부터 상기 매개물질층을 제거하는 단계;

상기 하드 마스크 패턴을 식각 마스크로 하여 상기 중간절연막의 일부를 식각하여 배선 영역을 형성하는 단계;

상기 비아홀 내에 잔류하는 상기 스토퍼층을 제거하는 단계; 및

상기 비아홀 및 배선영역에 도전물질층을 매립하는 단계를 포함하는 반도체 소자의 금속배선 형성방법.

청구항 56. 제55항에 있어서, 상기 중간절연막은, 상기 스토퍼막 상에 제1 중간절연막, 제2 스토퍼막 및 제2 중간절연막이 적층된 것임을 특징으로 하는 반도체 소자의 금속배선 형성방법.

청구항 57. 제56항에 있어서, 상기 배선 영역을 형성하는 단계는, 상기 제2 스토퍼막을 식각 스토퍼층으로 하여 상기 제2 중간절연막을 식각하여 형성하는 것임을 특징으로 하는 반도체 소자의 금속배선 형성방법.

청구항 58. 제55항 또는 제56항에 있어서, 상기 스토퍼막 및 제2 스토퍼막은 상기 중간절연막들과 식각선택비를 갖는 실리콘 질화막 또는 실리콘 카바이드막으로 형성하는 것을 특징으로 하는 반도체 소자의 금속배선 형성방법.

특 2002-0088399

청구항 59. 제55항에 있어서, 상기 중간절연막은 SiO_2 막, 다공성 SiO_2 막, PSG막, BPSG막, USG막, FSG막, HDP막, PE-TEOS막 또는 SOG막으로 형성하는 것을 특징으로 하는 반도체 소자의 금속배선 형성방법.

청구항 60. 제55항에 있어서, 상기 하드 마스크층은 상기 중간절연막과의 식각선택비가 큰 실리콘 산화막, 실리콘 질화막, 실리콘 카바이드막, 폴리실리콘, 금속산화물, 금속질화물 또는 금속층에서 적어도 하나로 형성하는 것을 특징으로 하는 반도체 소자의 금속배선 형성방법.

청구항 61. 제55항에 있어서, 상기 매개물질층은 상기 중간절연막과 식각선택비를 갖는 탄소계 유기물인 BARC(Bottom Anti-Reflection Coating)막 또는 SOG막으로 형성하는 것을 특징으로 하는 반도체 소자의 금속배선 형성방법.

청구항 62. 제61항에 있어서, 상기 SOG막은 상기 중간절연막과 식각선택비를 갖는 무기물인 HSQ막, MSQ막 또는 다공성 SiO_2 막인 것을 특징으로 하는 반도체 소자의 금속배선 형성방법.

청구항 63. 제55항에 있어서, 상기 매개물질층은 상기 비마홀을 매립하면서 상기 하드 마스크층 상으로 소정 높이 만큼 형성되는 것을 특징으로 하는 반도체 소자의 금속배선 형성방법.

청구항 64. 제63항에 있어서, 상기 하드 마스크 패턴을 형성하는 단계는,

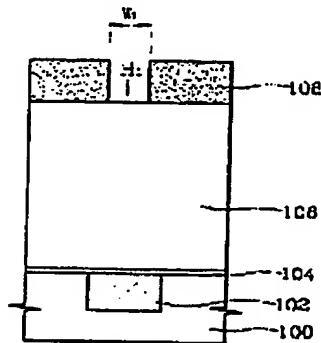
상기 매개물질층이 형성된 반도체 기판 상에 상기 하드 마스크 패턴에 대응하는 제2 포토레지스트 패턴을 형성하는 단계;

상기 제2 포토레지스트 패턴을 식각 마스크로 하여 상기 매개물질층 및 하드 마스크층을 식각하는 단계;

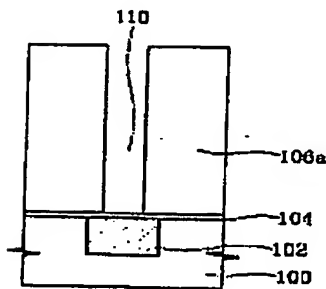
상기 제2 포토레지스트 패턴 및 상기 하드 마스크층상의 매개물질층을 제거하는 단계를 포함하는 것을 특징으로 하는 반도체 소자의 금속배선 형성방법.

도면

도면1

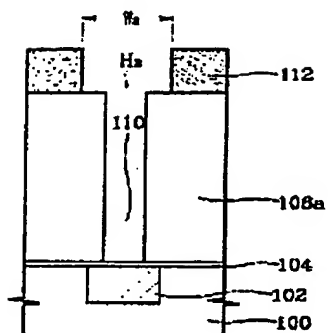


도면2

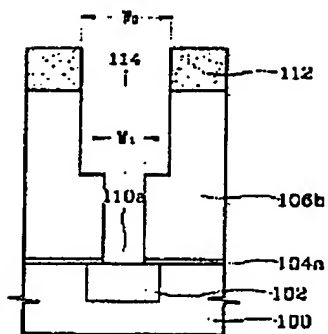


2002-0088399

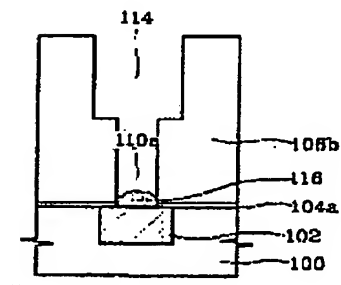
EB3



EB4



EB5



2002-0088399

Fig. 20

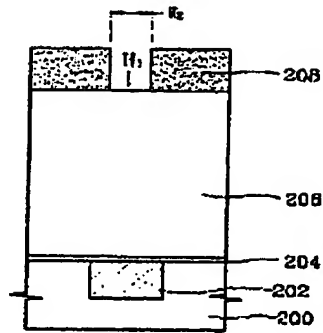


Fig. 21

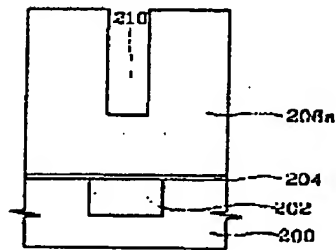
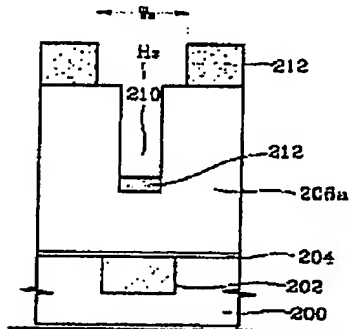
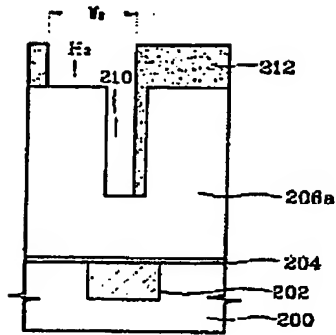
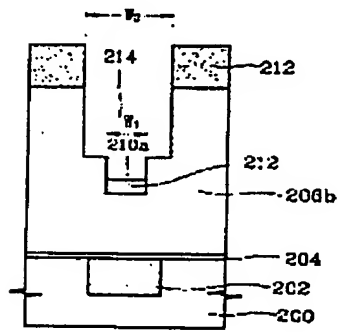
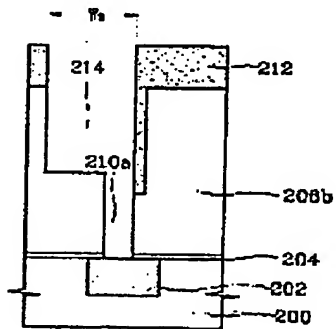


Fig. 22a

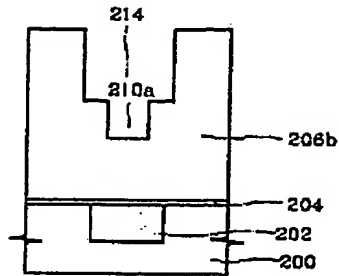


2002-0088399

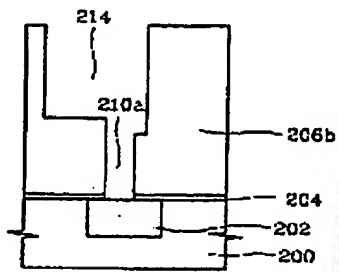
Fig. 8b*Fig. 8a**Fig. 8c*

2002-0088399

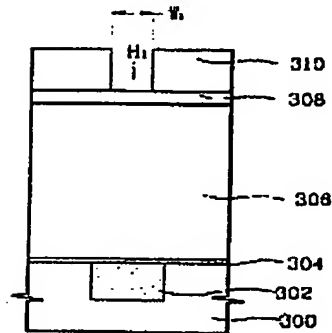
도면 10a



도면 10b



도면 11



2002-0088399

FIG 12

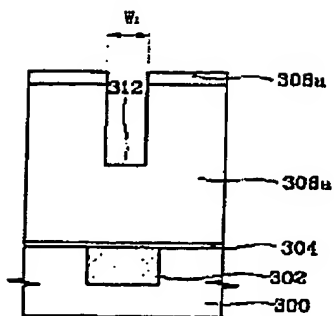


FIG 13

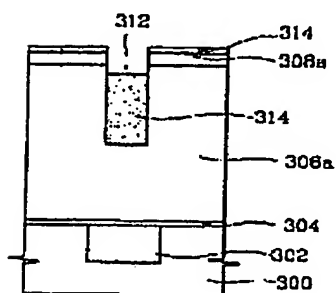
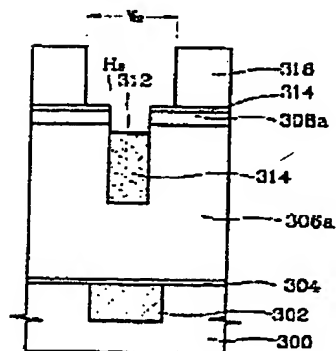
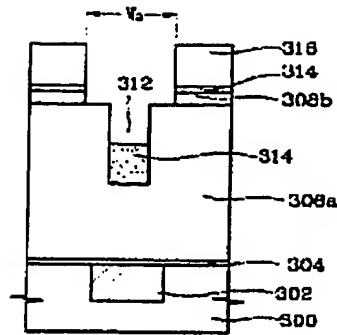


FIG 14

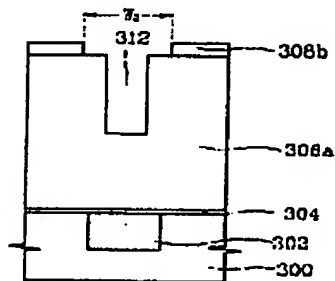


2002-0088399

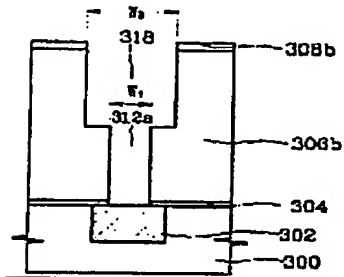
도면 15



도면 16

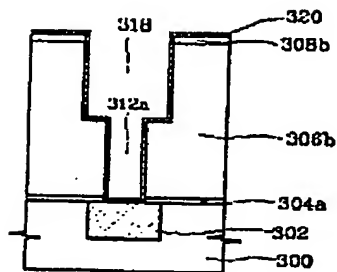


도면 17

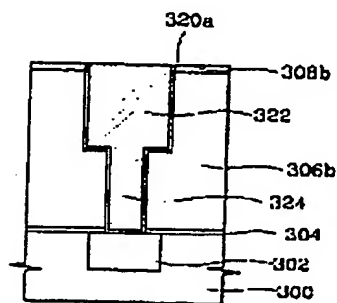


2002-0088399

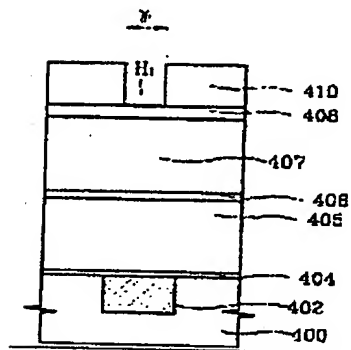
도면 18



도면 19

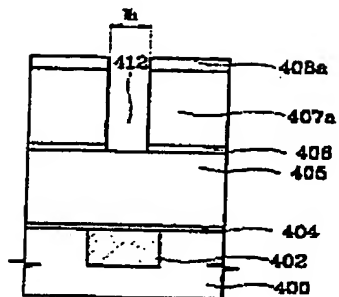


도면 20

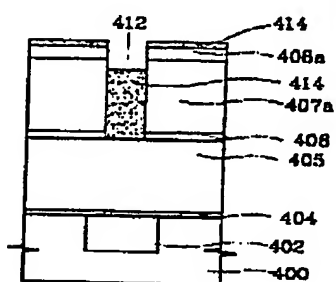


2002-0088399

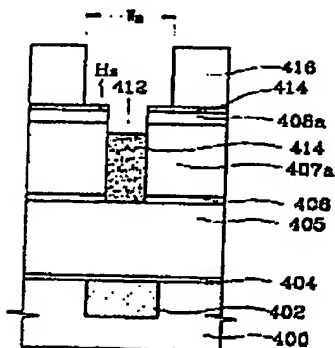
도면21



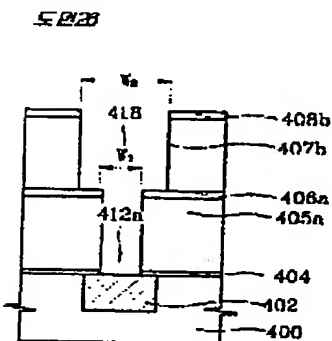
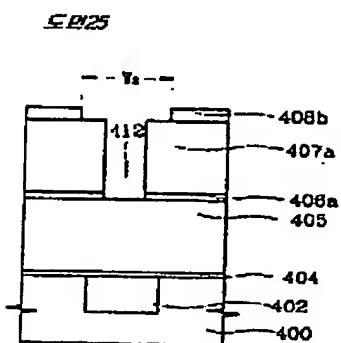
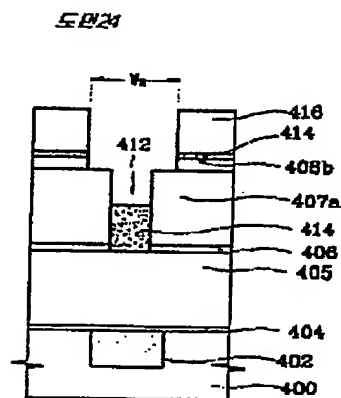
도면22



도면23



号 2002-0088399



2002-0088399

FIG. 27

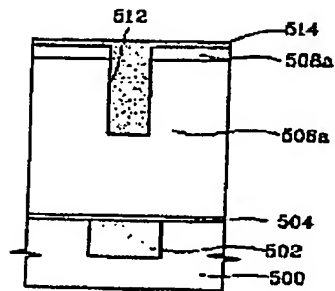


FIG. 28

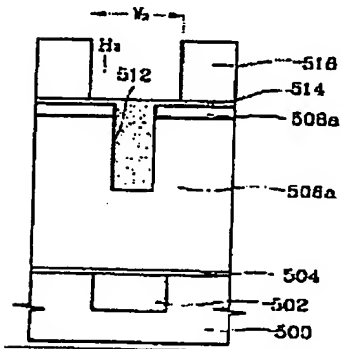
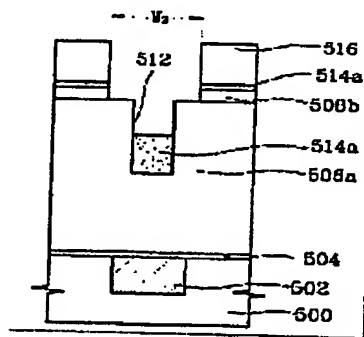


FIG. 29



2002-0088399

FIG 30

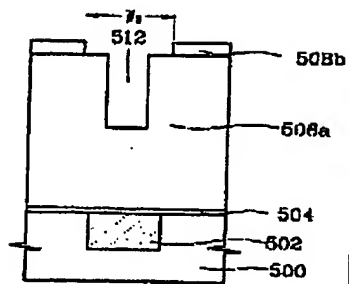


FIG 31

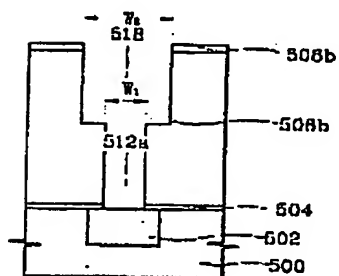
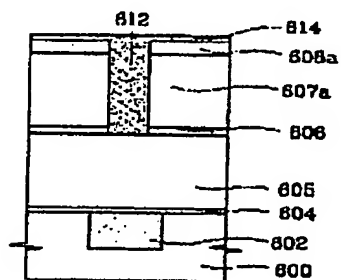


FIG 32



2002-0086399

FIG 33

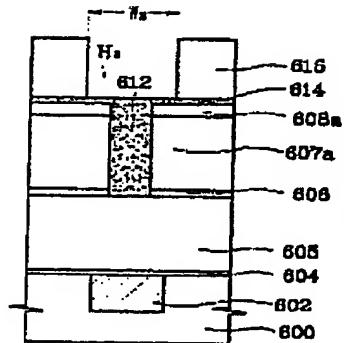


FIG 34

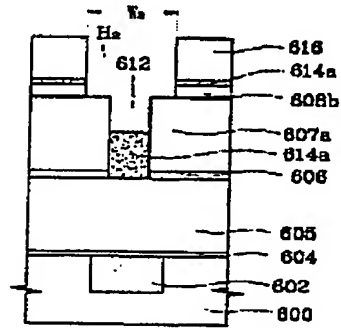
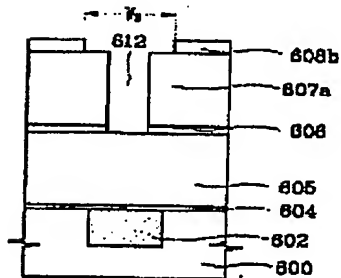
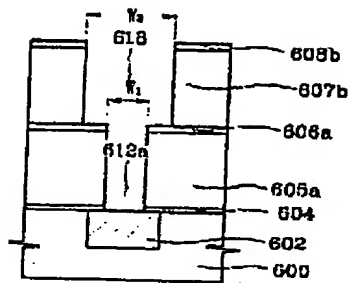


FIG 35

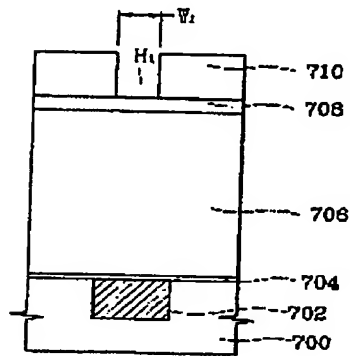


2002-0088399

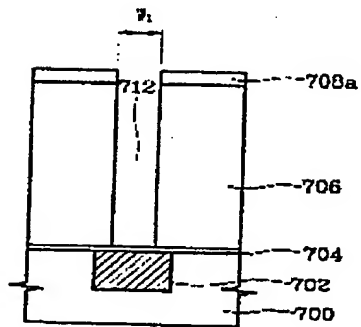
도면 36



도면 37

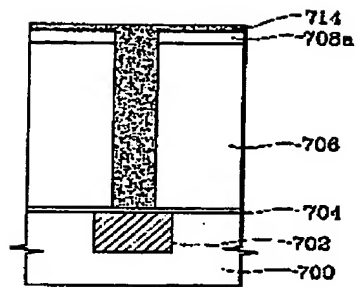


도면 38

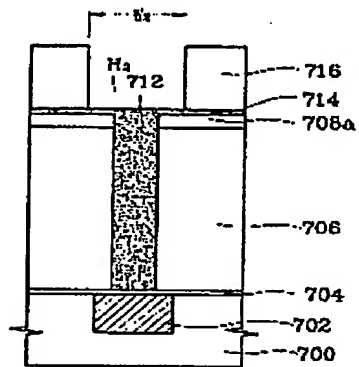


2002-0088399

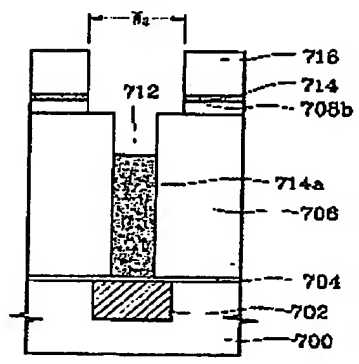
도 39



도 40

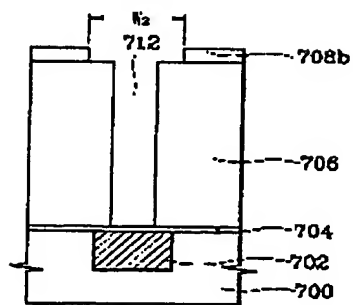


도 41

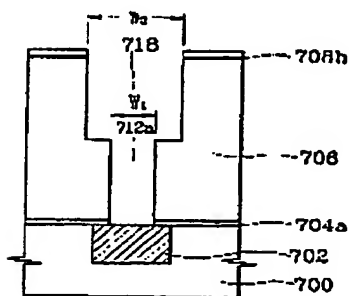


2002-0088399

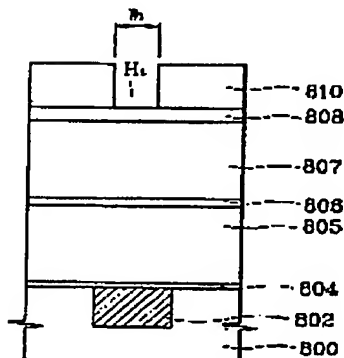
도면 42



도면 43



도면 44



2002-0088399

FIG. 45

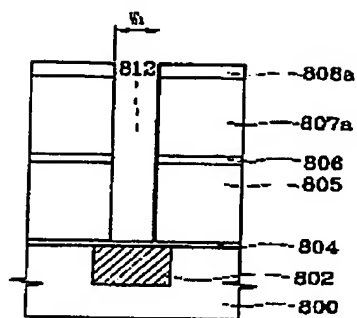


FIG. 46

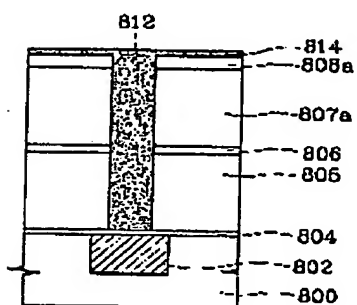
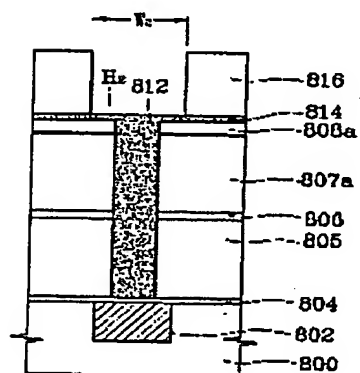
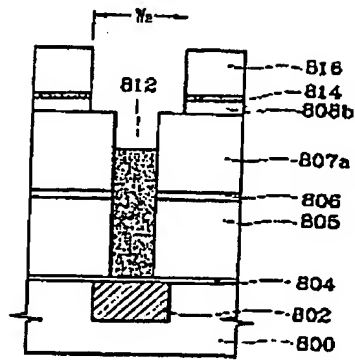


FIG. 47

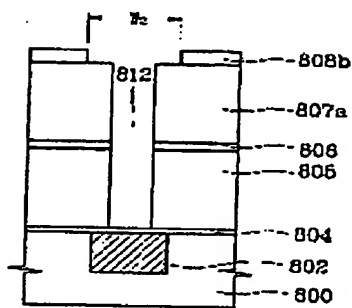


북 2002-0088399

DP48



5240



CP50

